NOWY ELEKTRONIK

8/92

nr ind. 367141

miesięcznik elektroników cena 9500 zł

SPIS TREŚCI

Minigenerator przebiegów prostokątnych

Generatory przebiegów prostokątnych są budowane bardzo często ze względu na szerokie zastosowanie i prostą konstrukcję. Wiele firm produkuje generatory takie zamykając je w jednym układzie scalonym. Przykładem takiego rozwiązania są układy scalone firmy EPSON oznaczone symbolami SPG8650D i SPG8651BN. W jednej 16 nóżkowej obudowie typu DIL zamknięto: (Rys.1)

* generator kwarcowy
  - 1MHz w SPD 8650
  - 100kHz w SPD 8651
* układ sterujący
* dwa dzielniki częstotliwości o programowanym stopniu podziału.

Układ jest wykonany w technologii CMOS a wejścia i wyjścia zawierają układy konwersji poziomów przez co układ jest kompatybilny z poziomami TTL. Obciążalność wyjść wynosi 10 TTL-LS. Dzięki takiej technologii układy te pobierają ze źródła zasilania 5V prąd 2mA.

Wyjście Fout jest bezpośrednim wyjściem generatora kwarcowego. Wejście CSEL do odłączenia wewnętrznego generatora (CSEL = 0). Można wtedy przez wejście EXC podać przebieg zewnętrzny na oba programowane dzielniki częstotliwości. Dzielnik A można wejściami CTL1 - CTL3 ustawić na dzielenie przez 1,2,3,4,5,6,10,12. Podobnie można przy pomocy wejść CTL4 - CTL6 ustawić stopień podziału dzielnika B na 1, 10, 100, 1000, 10000, 100000, 1000000, 10000000. Uzyskujemy z jednego układu scalonego 64 częstotliwości, których stabilność nie jest gorsza niż 10^{-7}. Dla SPD 8650 dostępne częstotliwości i sposób ich uzyskania podano w tablicy 1. Zbudowany w oparciu o SPD 8650 generator przedstawiono na Rys.2. W celu uzyskania na wyjściu odpowiedniej częstotliwości należy odpowiednio ustawić poziomy wejść CTL1 - CTL6 korzystając z tabeli 1 (przełącznik zamknięty - CTL = 1). Układ generuje przebieg prostokątny o wypełnieniu 1:1.

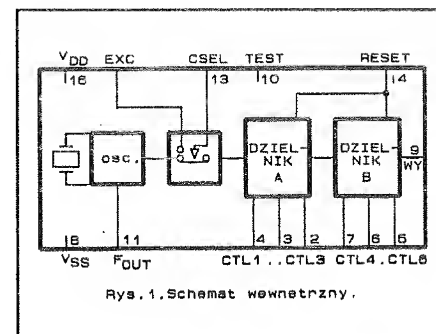
Przedstawiony generator znakomicie nadaje się do zastosowania jako generator wzorca do np. miernika częstotliwości.

mgr inż. Waldemar Wieczorek

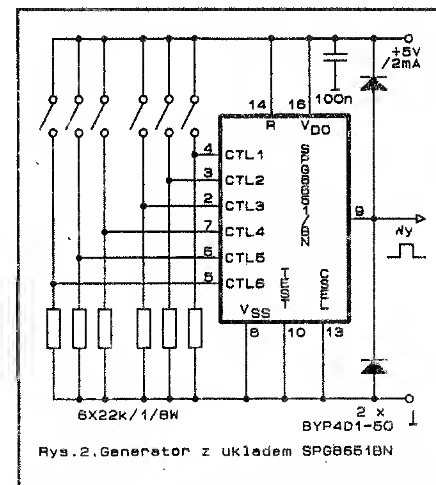
Opracowano na podstawie:

1. IC - Handbuch Hirschan

2. ELEKTTOR 12/91



Rys.1.Schemat wewnetrzny.



Rys.2.Generator z układem SPG8651BN

Tablica 1

Częstotliwość podano w Hz.

		CTL4	0	0	0	0	1	1	1	1
		CTL5	0	0	1	1	0	0	1	1
		CTL6	0	1	0	1	0	1	0	1
CTL1	CTL2	CTL3								
0	0	0	1M	100k	10k	1k	100	10	1	1/10
0	0	1	100k	10k	1k	100	10	1	1/10	1/100
0	1	0	500k	50k	5k	500	50	5	1/2	1/20
0	1	1	333k3	33k33	3k333	333,3	33,33	3,33	1/3	1/30
1	0	0	250k	25k	2k5	250	25	2,5	1/4	1/40
1	0	1	200k	20k	2k	200	20	2	1/5	1/50
1	1	0	166k6	16k6	1k6	166,6	16,6	1,6	1/6	1/60
1	1	1	83k3	8k3	833,3	83,3	8,3	0,83	1/12	1/120

Skład - P.W. "ARTCOM"
Wydawca - P.W. "ARTCOM"
Druk - Grudziądzkie Zakłady Graficzne im W.Kulerskiego w Grudziądzu, pl. Wolności 5

Adres Redakcji

P.W. "ARTCOM", Redakcja NOWEGO ELEKTRONIKA, skr. poczt. 100, 82-300 Elbląg 1, tel. 418-84 wew. 32

Redaguje zespół: J. Ryszard Świątkowski - red. naczelny, Janusz Romanowski, Jarosław Bereda, Wiesława Oleszczuk, Dariusz Mickiewicz, Janusz Mikowicz

Stali współpracownicy:

Bieńkowski Dariusz, Dąbrowski Witold, Krzysztofek Robert, Pędzik Zbigniew, Szczęśniewicz Sławomir, Rode Aleksander.

Redakcja zastrzega sobie prawo skracania i korekty nadesłanych artykułów.

Tester kwarców

W wielu układach elektronicznych konieczne jest zastosowanie kwarcy. Ocena sprawności elementu nastręcza jednak pewne trudności. Opisany poniżej tester pozwoli stwierdzić sprawność funkcjonalną rezonatora.

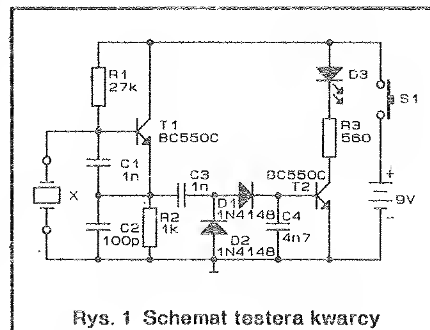
Tranzystor T1 i testowany kwarc tworzą generator. Kondensatory: C1 i C2 stanowią dzielnik napięcia. Jeśli element jest sprawny oscylator będzie działał. Wytwarzany przez niego przebieg będzie prostowany przez diodę D1 i filtrowany przez pojemność C4. W rezultacie na bazie T2 pojawi się dodatnie napięcie powodujące jego włączenie i świecenie diody LED.

W układzie można testować kwarce o częstotliwościach roboczych pomiędzy 100[kHz] i 30[MHz]. Pobór prądu wynosi około 50[mA].

mgr inż. Witold Wrotek

Opracowano na podstawie:

Elektor Electronics, July/August 1985



Rys. 1 Schemat testera kwarcy

Analizator zniekształceń harmonicznych sprzętu elektroakustycznego

Przedstawiony poniżej analizator maksymalnych zniekształceń harmonicznych THD (Total Harmonic Distortion) może być wykorzystany do testowania "domowych" wzmacniaczy lub sprzętu komercyjnego takiego jak odbiorniki stereo, przedwzmacniacze i wzmacniacze mocy. Analizator wykorzystuje ultraczysty sygnał testujący o częstotliwości 1kHz do pomiaru THD przy określonym poziomie napięcia dla wzmacniaczy napięciowych lub żądanym poziomie mocy dla sprawdzanych wzmacniaczy mocy do 600W. Może on wykrywać poziomy THD z dokładnością do 0.005%. Charakteryzuje się wbudowanym 1% kalibratorem THD, pełnym układem kontroli procesów wejściowych i wyjściowych oraz wykorzystaniem multimetru cyfrowego jako przyrządu służącego do odczytu.

Opis układu

Jak pokazano na Rys.1 niskoszumowy i o niskich zniekształceniach wzmacniacz operacyjny US1 - NE5534N jest wykorzystany jako oscylator fali sinusoidalnej z mostkiem Wiena. Precyzyjnie dobrane wartości RC (R2-C1 i R3-C2) w układach dodatniego sprzężenia zwrotnego z selekcją częstotliwości przyczyniają się do jego niskiego poziomu zniekształceń. Rezystor R1 i żarówka Ż1 tworzą układ stabilizacji z ujemnym sprzężeniem zwrotnym, który utrzymuje stałą amplitudę sygnału wyjściowego. Układ kontroli przesunięcia składowej stałej (R4) minimalizuje zniekształcenia pochodzące od drugiej harmonicznej.

Filtr R6C6 dodatkowo redukuje resztkowe zniekształcenie. Po przejściu przez stałe i zmienne tłumiki oraz wzmacniacz oddzielający US2 sygnał pojawia się na wyjściu Jack J1. Sygnał wyjściowy z J1 steruje wejściem testowanego urządzenia, zazwyczaj wzmacniacza. Wyjście testowanego urządzenia, które zawiera kilka stopni zniekształcenia jest podłączone do wejścia Jack J2 naszego analizatora. Podstawowa częstotliwość (1kHz) jest następnie usuwana z sygnału wyjściowego pochodzącego z urządzenia testowanego, pozostawiając jedynie składowe harmoniczne zniekształcenia.

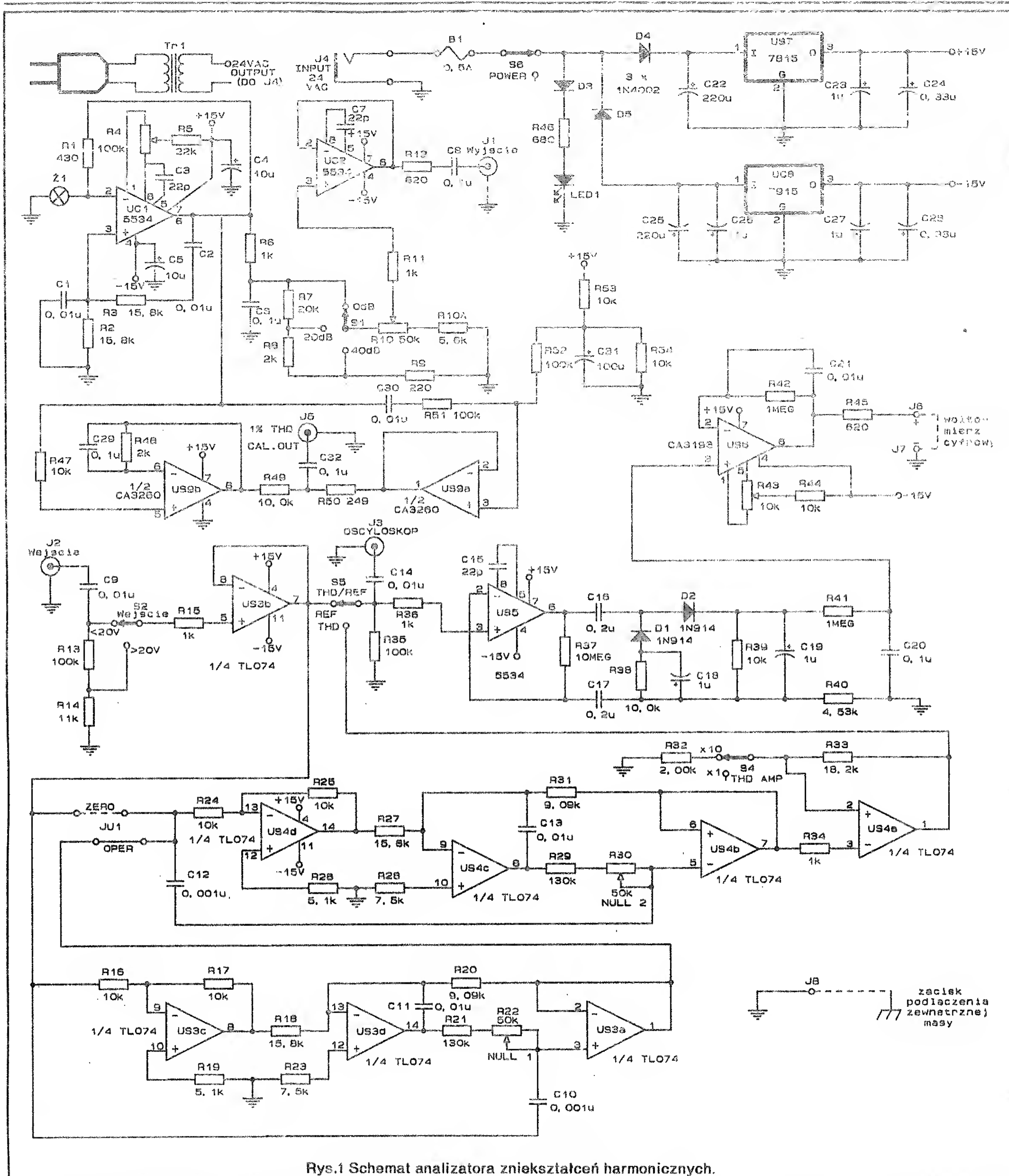
Kombinacja układów filtrów górnoprzepustowych US3 i US4 (obydwa TL 074) spełnia funkcję usuwania częstotliwości podstawowej. Jedną z cech trzystopniowego aktywnego filtru RC (część układu US3) jest to, że utrzymuje stały 45dB spadek wzmocnienia dla 1kHz. Filtr ten jest połączony szeregowo z identycznym drugim filtrem (US4) w celu uzyskania sumarycznego 90dB spadku wzmocnienia sygnału podstawowego. Wypadkowa odpowiedź częstotliwościowa kombinacji tych filtrów wynosi 27dB w dół przy 20Hz, która pomaga stłumić 50Hz przydźwięk sieciowy i inne szumy niskoczęstotliwościowe. Powyżej częstotliwości podstawowej odpowiedź jest płaska (±0.5dB) w zakresie od 2kHz do 100kHz.

Kiedy przycisk S4 THD/REF jest w pozycji THD sygnał zawierający jedynie składowe THD jest prowadzony kanałem od wyjścia x1/x10 THD wzmacniacza US4 do wejścia konwertera AC/DC, US5. Chociaż obie polaryzacje stosowanego sygnału są wyprostowane przez ten układ, tylko dodatnio uśredniony sygnał jest doprowadzany do filtra dolnoprzepustowego R41 C20. Wyjściowy wzmacniacz oddzielający US6 jest precyzyjnym wzmacniaczem operacyjnym CA3194, wystarczająco stabilnym aby zapewnić dokładność wyjściowego sygnału rzędu V, mV i µV na voltomierzu cyfrowym. Podwójny wzmacniacz operacyjny US9 (CA3260) pracuje jako kalibrator. Pierwszy stopień dostarcza precyzyjnie połówkowo wyprostowany sygnał wzorcowego oscylatora. Ten sam sygnał doprowadzony jest przez C30 do drugiego stopnia, spolaryzowany do 1/2 Ucc dla liniowego przesłania do jego wyjścia. Dzielnik napięciowy R49 R50 miesza bardzo małą porcję połówkowej fali wyjściowej na nóżce 8 układu US9 z dużo większą pełną falą sinusoidalną jaką obserwuje się na nóżce 1. Jeżeli sygnał waha się słabo, bardziej w kierunku dodatnim od poziomu spoczynkowego niż w kierunku ujemnym oznacza to, że zawiera pewną ilość zniekształceń pochodzących od drugiej harmonicznej. Wielkość ta wynosi 1% (określona przez projekt).

Transformator zasilający Tr1 zasila falą połówkową diody mocy D4 i D5 poprzez gniazdo J4, bezpiecznik B1 i wyłącznik zasilania S5. Kondensatory C22 i C25 są podstawowymi filtrami odpowiednio dla dodatniego i ujemnego zasilania. Mniejsze filtry C23 i C27 razem z przejściowymi tłumikami C24 i C28 są włączone po wyjściowej stronie regulatorów US7 (7815 - regulator +15V) i US8 (regulator -15V).

Konstrukcja

Rysunki 2 i 3 przedstawiają płytkę obwodu drukowanego oraz rozmieszczenie elementów. Wszystkie przewody zasilające łącznie ze wskaźnikiem LED1 występują jako przewód dwuży-



Rys.1 Schemat analizatora zniekształceń harmonicznych.

łowy w ekranie. Ekrany należy połączyć razem a następnie podać na masę, aby zapobiec pikom pochodzącym z przydźwięku sieci. Należy również podłączyć do masy oprawę potencjometru R10. Śruba zaciskowa uziemienia J8 na tylnym panelu umożliwia połączenie ziemia-masa układu przy pomiarze sygnału THD na poziomie µV. (Połączyć I8 do masy układu). Kondensatory C1 i C2 muszą być dobrane z lepszą tolerancją niż 1%. Jeśli nie mamy lub nie możemy kupić miernika pojemności można zbudować i wykorzystać prosty układ pokazany na Rys.4. Ustawić wykalibrowany potencjometr z którymkolwiek z czterech 0.01µF kondensatorów (C1, C2, C11, C13) wstawionych jako Cx, tak aby miernik wskazywał 1V na zakresie 2V. Teraz należy zmierzyć pozostałe trzy kondensatory i wybrać dwa, które najbardziej odpowiadają szukanej wartości. Wartość bezwzględna nie jest ważna; chcemy po prostu, aby miały one tę samą wartość. Jednakże jeżeli jeden kondensator pokazuje 80pF mniej niż drugi można wlutować 82pF (mikowy) kondensator po drugiej stronie płytki, równolegle z tym wybranym. Pozostałe kondensatory 0.01 F o tolerancji ponad 1% mogą być wykorzystane jako C11 i C13.

Podobnie rezystory R2 i R3 muszą ściśle odpowiadać sobie wartościami. Wykorzystując multimetr cyfrowy na zakresie oporności 20kΩ należy wybrać dwa rezystory o wartości najbardziej zbliżonej do 15.8kΩ. Jeżeli znajdziemy mniejszą wartość to trzeba połączyć szeregowo rezystory o mniejszej wartości tak, aby otrzymać żądane 15.8kΩ. Rezystory R18 i R27 mogą

być dobrane z tolerancją większą niż 1%.

Kalibracja

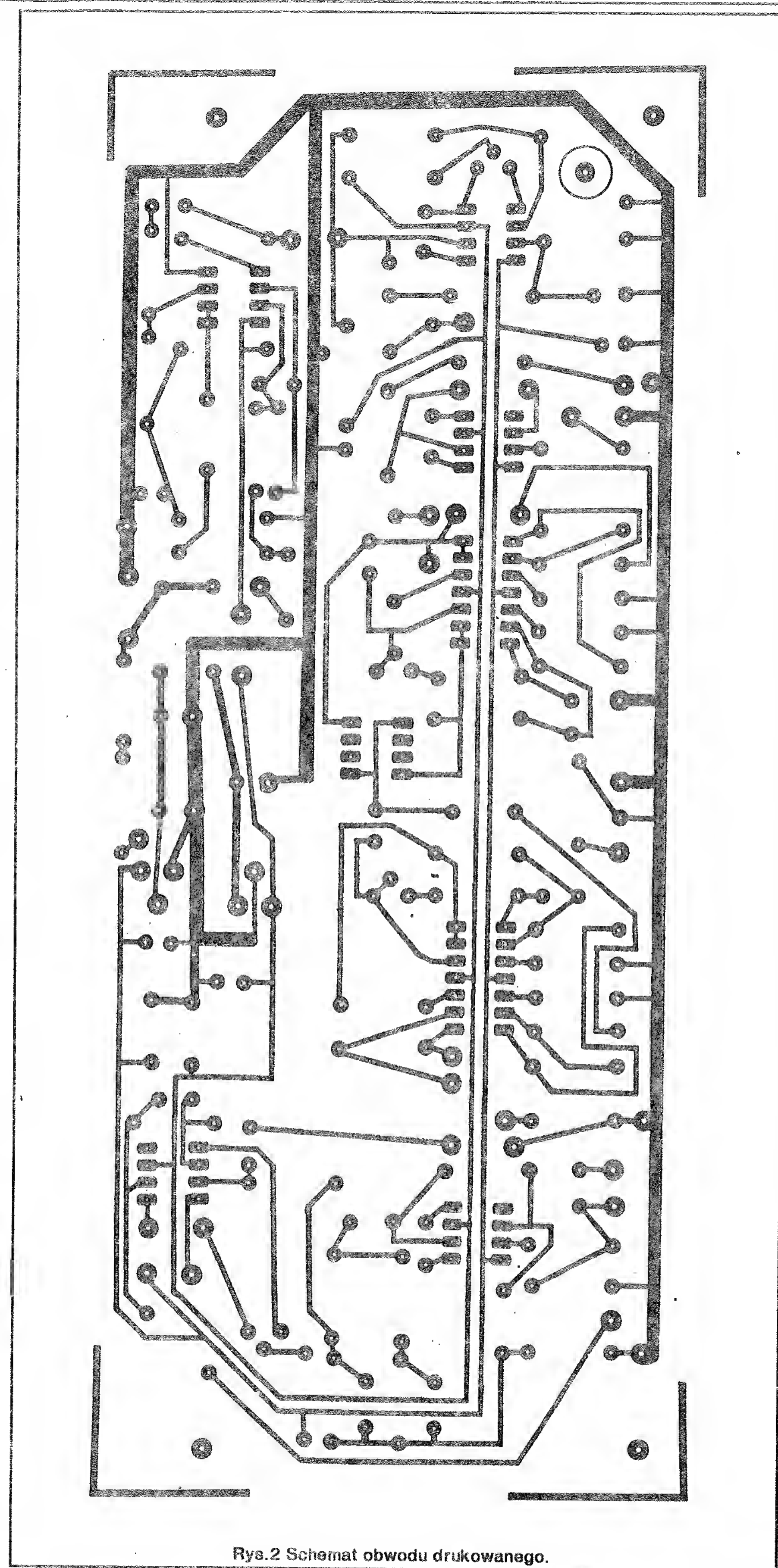
Wykorzystując multimetr cyfrowy na zakresie mV DC włączyć go pomiędzy wyprowadzenie 6 układu US1 i masę. Ustawić R4 na odczyt 000.0mV na mierniku. Następnie ustawić przełącznik INPUT(S2) w pozycji "›20V", THD AMP(S4) w pozycji "x10" i THD/REF(S5) w pozycji "THD". Z multimetru, wciąż ustawionego na odczyt mV DC, połączyć jego przewody między śruby zaciskowe (+) i (-) woltomierza cyfrowego (J6 i J7) i ustawić R43 (zerowanie układu US6) tak, aby multimetr wskazywał 000.0mV. "Zerowanie filtru" może być wykonane z wykorzystaniem oscyloskopu lub multimetru na jego najmniejszym zakresie napięcia AC (typowo 2V). Wstawić łącznik do dwurzędowej podstawki układu scalonego JU1 (NULL-OPER) i ustawić w pozycji najbardziej w lewo (NULL) patrząc z przodu. (Jako łącznik można zastosować zadajnik 4 - sekcyjny). Włączyć krótki kabel koncentryczny pomiędzy OUTPUT Jack J1 i INPUT Jack J2. Przy załączonym zasilaniu i S2 w pozycji "‹20V", S4 w pozycji "x1", S5 w pozycji "THD", przełącznik obrotowy ATTEN-DB (S1) i potencjometr VAR (R10) ustawić w pozycji najmniejszego tłumienia.Podłączyć oscyloskop lub woltomierz do nóżki 7 układu US4 (od strony R31) a masę podłączyć do jakiejkolwiek masy na płytce. Wykorzystując oscyloskop ustawić przełącznik VOLTS/DIV w jakiejkolwiek pozycji między 5 i 50 mV/div. Ostrożnie nastawić potencjometr R30 na najlepsze zero na ekranie oscyloskopu lub najniższy odczyt na mierniku.

Przełożyć sondę na nóżkę 1 układu US3 (od strony R20). Nastawić R22 na najmniejszy odczyt na ekranie oscyloskopu lub woltomierza. Ustawić zadajnik w pozycji OPER.

Test kontrolny i zastosowanie

Podłączyć oscyloskop lub multimetr cyfrowy ustawiony na odczyt napięcia AC do wyjścia Jack J1. Obrócić S1 i R10; wyjściowe napięcie sygnału powinno zmieniać się odpowiednio (stosownie do tego jak jest ustawiony S1 i R10). Należy pamiętać, że regulatory te są tłumikami nastawnymi, a nie układami regulacji wzmocnienia, tak więc sygnał będzie rósł przy obrocie regulatorów zgodnie z ruchem wskazówek zegara.

Sprawdzić przełącznik S2 INPUT P-P przez podanie sygnału od J1 do J2, ustawiając S5 w pozycji "REF" i mierząc wyjście AC na J3. Sygnał wyjściowy powinien być maksymalny dla S2 w pozycji "‹20V" i minimalny dla S2 w pozycji "›20V". Ważnym do odnotowania jest fakt, że jeżeli wejściowy sygnał na J2 rośnie powyżej wartości 20V p-p i S2 jest w pozycji "‹20V" to może nastąpić obcinanie sygnału.



Rys.2 Schemat obwodu drukowanego.

Można wykorzystać kalibrator analizatora do sprawdzenia wszystkich pozostałych funkcji. Poprowadzić kabel koncentryczny od J3 do J2. Ustawić przełączniki: S2 w pozycji "‹20V", S4 w pozycji "x1", S5 w pozycji "THD" i S6 w pozycji "ON" i podłączyć multi-

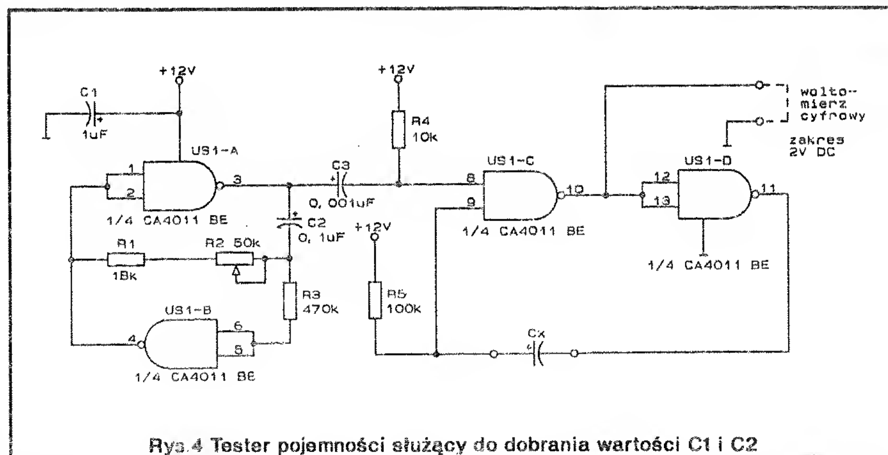
Rys.3 Widok obwodu drukowanego z rozmieszczeniem elementów.
UWAGA: Oznaczenia: LMP1 = Ż1, F1 = B1, T1 = Tr1, IC = US, DVM - woltomierz cyfrowy

metr cyfrowy do J6 oraz J7 ustawiając go na odczyt V lub mV DC.

Teraz jeżeli sygnał THD wynosi 24.0mV (0.024V) i S5 zostanie przełączony w pozycję "REF" to multimetr powinien wskazać 2.40V lub wartość zbliżoną do tej. Jeżeli otrzymany ułamek (0.024/2.4) zostanie pomnożony przez 100, to uzyskamy procentową wartość THD wynoszącą 1%.

Rysunek 5 pokazuje zestaw do pomiarów THD.

Powiedzmy, że mierzymy procent THD 50W wzmacniacza podłączonego do 8Ω rezystora mocy jako obciążenia. Zgodnie z prawem Ohma napięcie na rezystorze wynosi 20V. Teraz powiedzmy, że wysterowujemy wejście wzmacniacza falą sinusoidalną o napięciu 1V i uzyskujemy 20V wymagane na wyjściu. Wartość skuteczna napięcia wynosi 20V lecz $56V_{P-P}$, a zatem S2 musi być w pozycji ">20". Z S5 w pozycji "THD" uzyskamy odczyt 1.4mV (0.0014V)DC. W pozycji "REF" odczytamy 2.00V. Tylko odczyt na odpowiednim zakresie multimetru cyfrowego pozwala na uzyskanie najlepszego



Rys.4 Tester pojemności służący do dobrania wartości C1 i C2

wyniku. Przeprowadźmy teraz obliczenia: 0.0014/2.00 x 100 = 0.07% THD.

Wzmacniacze napięciowe są mierzone w ten sam sposób, lecz nie jest wymagany rezystor obciążający. Takie wzmacniacze prawdopodobnie pokażą niższy odczyt napięcia THD.

Jeżeli napięcie THD jest zbyt niskie nawet dla zakresu mV na multimetrze wówczas S4 należy ustawić w pozycji "x10". W tym przypadku dzielimy wskazane napięcie przez 10. Na przykład 0.8mV na mierniku odczytujemy jako0.08mV. Jeżeli mierzony procent THD jest trzy lub więcej razy większy niż "tło" pomiarowe analizatora nie są wymagane żadne korekcje mierzonej wartości. Jeżeli jest on mniejszy od 3 dobre przybliżenie prawdziwej wartości THD daje wzór:

$$D_{(test.urządz.)} = \sqrt{D^2_{(mierzone)} - D^2_{(tło)}}$$

Oznacza to, że jeżeli zmierzona

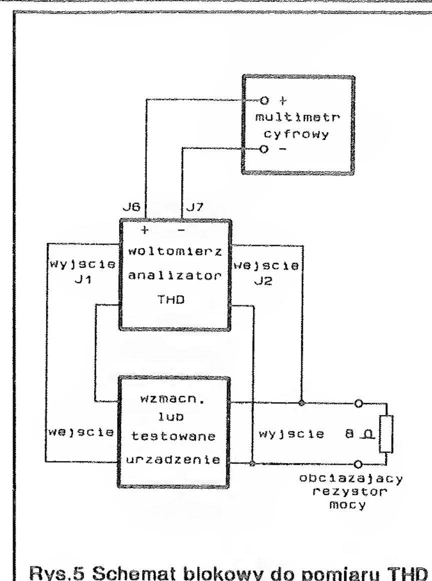
wartość THD dla przedwzmacniacza wynosi 0.005% i "tło" wynosi 0.004% to prawdziwą wartością THD dla tego przedwzmacniacza jest 0.003%. Zależnie od głębokości filtracji 1kHz i tego jak ściśle dobrane są wartości RC w sieci oscylatorów częstotliwości "tło" przyjmuje typowe wartości od 0.003% do 0.005%. Wartość "tła" można skontrolować w ten sam sposób jak 1% kalibrację THD, co wyjaśniono wcześniej.

Zamiast wykorzystania sygnału kalibracyjnego doprowadzić maksimum poziomu sygnału z wyjścia J1. Jeżeli jest wykorzystana pozycja "x10" konieczne jest podłączenie J8 do zewnętrznej masy.

Na koniec istotne jest to, że pomiary THD powyżej 10% są znacznie mniej dokładne niż poniżej 10%, ponieważ oprócz zniekształceń występuje również składowa podstawowa.

Wykaz elementów

Wszystkie rezystory - 0.25W; 5%
R1 - 430Ω
R2, R3, R18, R27 - 15.8kΩ, 1%, metalizowane
R4 - 100kΩ, potencjometr montażowy
R5 - 22kΩ
R6, R11, R15, R34, R36 - 1kΩ
R7 - 20kΩ
R8, R48 - 2kΩ
R9 - 220Ω
R10 - 50kΩ potencjometr do montażu na płycie czołowej
R10A - 5.6kΩ
R12, R45 - 620Ω
R13, R35 - 100kΩ
R14 - 11kΩ
R16, R17, R24, R25, R38, R39, R49 - 10kΩ, 1%, metalizowane
R19, R26 - 5.1kΩ
R20, R31 - 9090Ω, 1%, metalizowane
R21, R29 - 130kΩ
R22, R30 - 50kΩ, potencjometr montażowy
R23, R28 - 7.5kΩ
R32 - 2kΩ, 1%, metalizowany
R33 - 18.2kΩ, 1%, metalizowany
R37 - 10MΩ
R40 - 4530Ω, 1%, metalizowany
R41, R42 - 1MΩ
R43 - 10kΩ, potencjometr montażowy
R44, R47, R53, R54 - 10kΩ
R46 - 680Ω
R50 - 249Ω, 1%, metalizowany
R51, R52 - 100kΩ, 1%, metalizowany
KONDENSATORY
C1, C2, C11, C13 - 0.01µF, 100V, 1%
C3, C7, C15 - 22pF, 300V, mikowe
C4, C5 - 10µF, 25V, tantalowe
C6, C8, C20, C29, C32 - 0.1µF, 50V
C9, C14, C21, C30 - 0.01µF, 50V
C10, C12 - 0.001µF, 100V, 1%
C16, C17 - 0.2µF, 50V
C18, C19, C23, C27 - 1.0µF, 25V, tantalowe
C22, C25 - 220µF, 50V, elektrolityczne
C24, C28 - 0.33µF, 50V
C26 - 1µF, 50V, tantalowy
C31 - 100µF, 25V, elektrolityczny
PÓŁPRZEWODNIKI
US1, US2, US5 - NE5534N, niskoszumowe wzmacniacze operacyjne
US3, US4 - TL074, poczwórny niskoszumowy wzmacniacz operacyjny
US6 - CA3193E precyzyjny wzmacniacz operacyjny
US7 - 7815 stabilizator napięcia +15V
US8 - 7915 stabilizator napięcia -15V
US9 - CA3260E podwójny wzmacniacz operacyjny z wejściem MOSFET
D1, D2 - 1N914
D3-D5 - 1N4002
LED1 - czerwona dioda LED
INNE ELEMENTY
S1 - dwu-polowy, 6-pozycyjny przełącznik do montażu na płycie czołowej



Rys.5 Schemat blokowy do pomiaru THD

S2, S4-S6 - miniaturowy przełącznik migowy
S3 - nie wykorzystany
JU1 - 8-nóżkowa, 2-rzędowa podstawka
T1 - transformator sieciowy z napięciem uzwojenia wtórnego 24V i prądzie obciążenia 200mA
J1-J3, J5 - gniazda BNC do montażu na płycie czołowej
J4 - gniazdo zasilające typu jack
J6-J8 - laboratoryjne miniaturowe gniazda bananowe
Ż1 - żarówka
B1 - bezpiecznik 0.5A, 220V

mgr inż. Jolanta Dąbrowska

Opracowano na podstawie:
Radio Electronics December 1991

Modulator AUDIO/VIDEO UHF - TDA5664X

Układ TDA 5664X został wyprodukowany przez firmę Siemens. Umożliwia on miksowanie i modulowanie sygnałów audio i video o częstotliwościach od 30MHz do 860MHz. Modulator jest przeznaczony do użytku w video odtwarzaczach, konwerterach TV kablowej, generatorach sygnału TV, amatorskich nadajnikach TV i komputerach osobistych.

Tablica 1. Parametry układu

Parametr		Min.	Max.	Jedn.
Napięcie zasilania	U_S	4.0	5.5	V
Częstotliwość wej. sygnału video	f_{VID}	0	6	MHz
Częstotliwość wej. sygnalu audio	f_{AF}	0	20	kHz
Częstotliwość sygnału wyjściowego	f_o	30	860	MHz
Temperatura pracy	T_a	0	70	°C
Częstotliwość sygnału podnośnej	f_{OSC}	4	7	MHz

Oprócz tego TDA 5664X charakteryzuje się:

* możliwością modulacji dźwięku FM
* układem stabilizacji poziomu impulsów synchronizacji na wejściu video
* stabilizacją poziomu sygnału bieli
* możliwością płynnej regulacji głębokości modulacji dla pozytywowej i negatywowej modulacji video
* niskim stopniem niepożądanego promieniowania

Sygnał video z ujemnymi impulsami synchronizacji jest podawany na nóżkę 8-mą (patrz Rys.1). Układ stabilizacji poziomu przesuwa poziom sygnału video w zależności od poziomu impulsów synchronizacji. Gdy wartość sygnału video przekracza 1[V] szczyt poziomu bieli jest ograniczony.

W celu uzyskania możliwości regulacji głębokości modulacji należy pomiędzy nóżką 9-tą i masą dołączyć zmienny rezystor.

Układ TDA 5664X może modulować zarówno sygnał video jak i fonię. Sygnał audio jest podawany przez pojemność na nóżkę 13-tą układu. Jeśli zachodzi potrzeba może być on przesłany ze źródła do TDA 5664X za pośrednictwem zewnętrznego układu preemfazy. Sygnał wychodzący ze wzmacniacza video jest zmodulowany częstotliwościowo i ma podnośną o częstotliwości 6.0MHz lub 5.5MHz. Częstotliwość robocza oscylatora podnośnej dźwięku jest zdeterminowana przez zewnętrzny równoległy obwód LC dołączony między nóżki 1-szą i 14-tą układu TDA 5664X. Obwód ten może być tłumiony przez rezystor R5 w celu dopasowania amplitudy podnośnej fonii do amplitudy nośnej wizji.

Wzmacniacz, który stanowi część oscylatora częstotliwości radiowej wymaga dołączenia zewnętrznych elementów określających jego częstotliwość roboczą, między nóżki: 2-gą i 6-tą układu scalonego. Przy częstotliwości rezonansowej reaktancja pojemnościowa między nóżkami 2-3 i nóżkami 5-6 musi wynosić Xc = 70[Ω], podczas gdy Xc obserwowana pomiędzy nóżkami 3-5 musi wynosić 26[Ω].

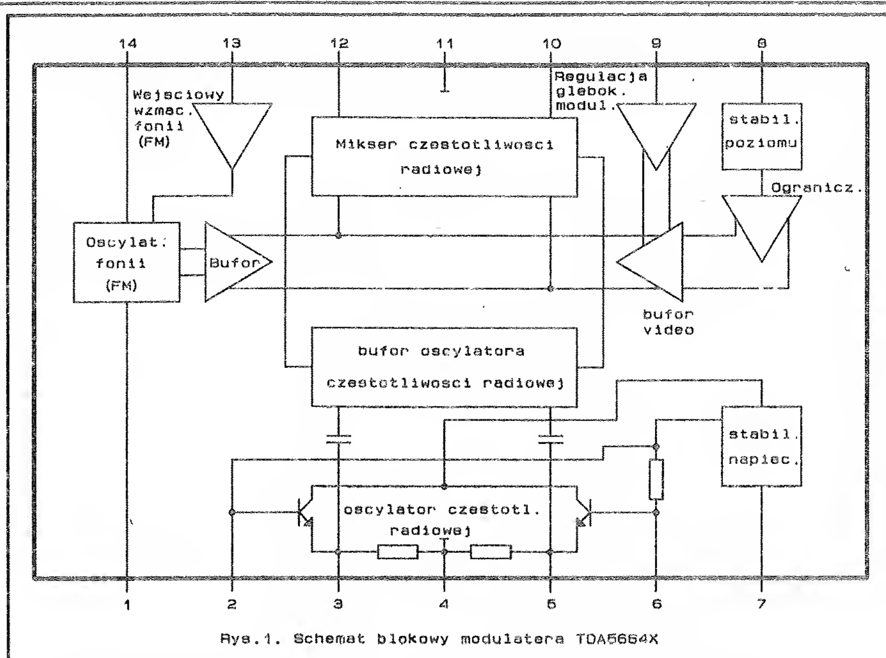
Sygnał z oscylatora zewnętrznego może być dołączony między nóżki 2-gą i 6-tą TDA 5664X.

W celu zapewnienia optymalnych warunków pracy i zminimalizowania szkodliwego promieniowania, nóżki oscylatora (2-ga i 6-ta) muszą być ekranowane od nóżek wyjścia modulatora (10-ta, 11-ta, 12-ta). Producent zaleca, aby skuteczność ekranowania była równa bądź lepsza od 80[dB].

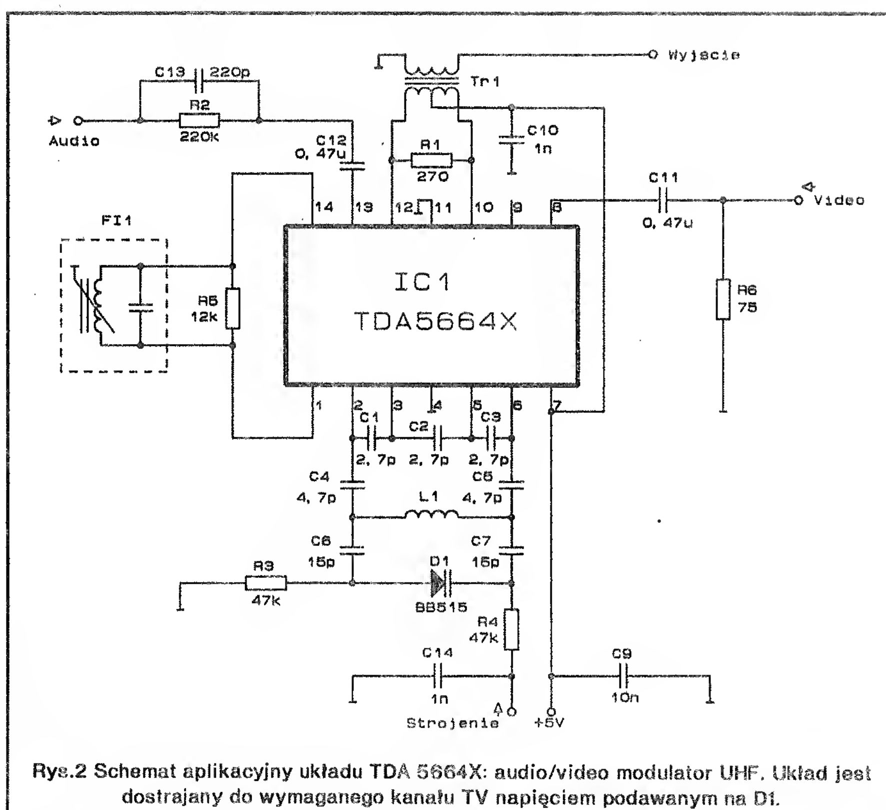
Układ modulatora TV UHF zbudowanego przy wykorzystaniu TDA 5664X przedstawiony jest na Rys.2. Wyjście miksera (nóżki 10 i 12 TDA 5664X) jest dołączone do transformatora, który zapewnia przesunięcie fazy o 180°. Transformator ten jest zbudowany z dwóch rdzeni ferrytowych (Rys.3). Tłumienie elementu musi być mniejsze o 3dB w całym zakresie częstotliwości roboczych.

Ponieważ impedancja wyjściowa może zmieniać się od 270Ω (wyjście symetryczne) do 50Ω (wyjście niesymetryczne) napięcie o częstotliwości "radiowej"jest około 1.5 raza większe od spadku napięcia o częstotliwości "radiowej" odkładającego się na rezystorze R1. Wartość ta wynika z obliczeń przy założeniu, że tłumienie transformatora wynosi 0dB. W rzeczywistości napięcie wyjściowe będzie niższe.

Widok płytki drukowanej jest przedstawiony na Rys.3. Została ona wykonana tak, aby zminimalizować indukcyjność w obwodzie oscylatora i na wyjściu układu. Modulator jest strojony do odpowiedniego kanału TV przy pomocy zmian wartości napięcia polaryzującego diodę D1 (Rys.2). Układ stosowany jest do pracy między 30 i 40-tym kanałem TV (543.25MHz i 623.25MHz).



Rys.1. Schemat blokowy modulatora TDA5664X



Rys.2 Schemat aplikacyjny układu TDA 5664X: audio/video modulator UHF. Układ jest dostrajany do wymaganego kanału TV napięciem podawanym na D1.

Schemat aplikacyjny

Wykaz elementów:

Rezystory:

R1 270[Ω]

R2 220[kΩ]

R3, R4 47[kΩ]

R5 12[kΩ]

R6 75[Ω]

Kondensatory:

C1, C2, C3 2pF7

C4, C5 4pF7

C6, C7 15pF

C9 10nF

C10, C14 1nF

C11, C12 470nF

C13 220pF

Półprzewodniki:

D1 BB 515

IC1 TDA 5664X

Inne:

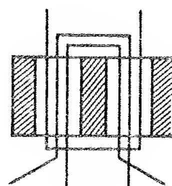
Tr1 np. B62152-A0008-X01

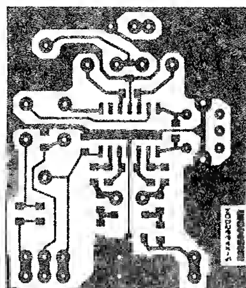
Tl1 np. F291BCS-117BS4215

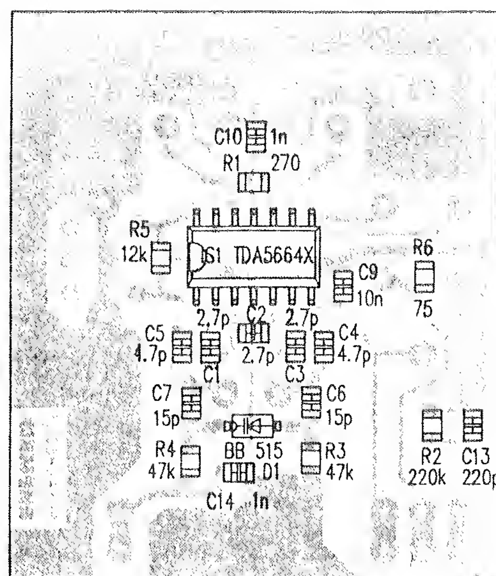
mgr inż. Witold Wrotek

Opracowano na podstawie:

Elektor Electronics, June 1991







900119

Rys.3 Widok druku (1:1), sposób montowania elementów (2:1) i budowa transformatora.

Rozbudowa systemu MCS-48

Jeżeli możliwości samego µk 8048 są niewystarczające, specjalne układy umożliwiają podłączenie zewnętrznych pamięci, układów I/O lub innych peryferii. Procesor może być bezpośrednio rozbudowany w sposób następujący:

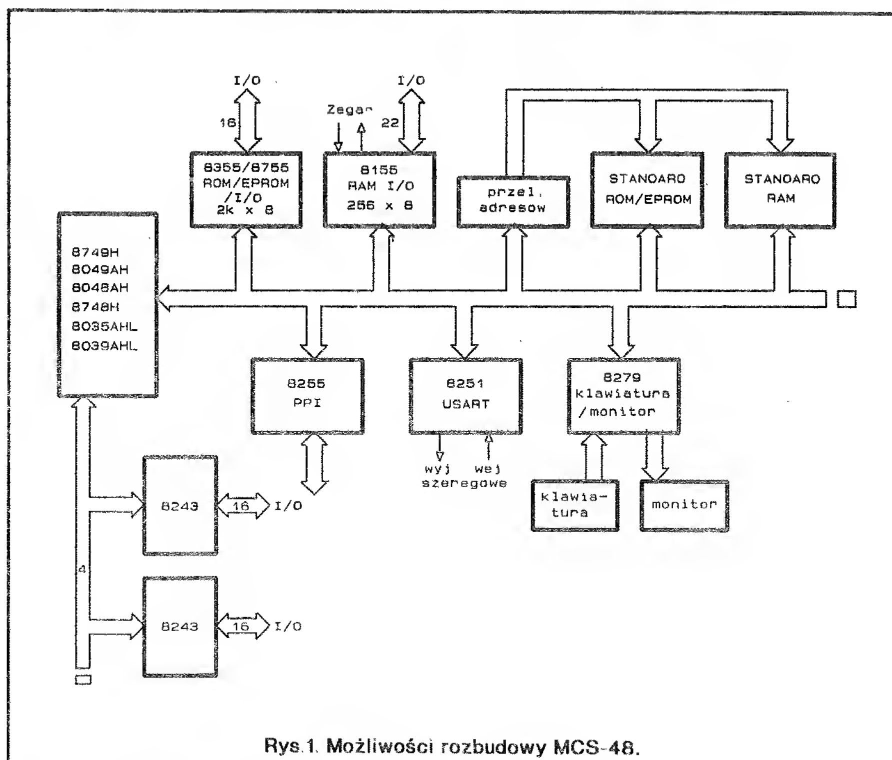
- pamięć programu do 4k słów
- pamięć danych do 320 słów (384 dla 8049)
- I/O nieograniczona ilość
- specjalne funkcje przy użyciu peryferii rodziny 80/85

Dokonuje się tego dwiema drogami:

1) Expander I/O 8243 - wykorzystując 4 młodsze bity portu P2, zapewnia komunikację poprzez cztery 4-bitowe porty I/O

2) 8085 BUS - 8-bitowy dwukierunkowy port 8048 pozwala na sprzęganie ze standardowymi pamięciami i peryferiami MCS-80/85.

Pełne możliwości rozbudowy systemu przedstawia rys.1.



Rys.1. Możliwości rozbudowy MCS-48.

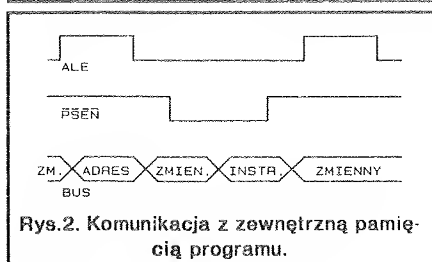
1. Powiększanie pamięci programu.

Pobieranie instrukcji z obszaru pamięci o adresie mniejszym niż 1024 (dla 8048) przebiega wewnętrznie bez generacji żadnych sygnałów zewnętrznych (z wyjątkiem ALE, który jest zawsze obecny). Przy adresie 1024, procesor automatycznie komunikuje się z zewnętrzną pamięcią programu. Pobieranie instrukcji przebiega następująco, (rys.2):

1) Zawartość 12-bitowego licznika programu jest wysyłana do portu BUS i młodszej połowy portu P2.

2) Sygnał ALE wskazuje ważność adresu, który jest zatrzaskiwany opadającym zboczem ALE.

3) Sygnał $\overline{PSEN}$ wskazuje, że następuje pobranie instrukcji z pamięci zewnętrznej i służy do jej uaktywnie-

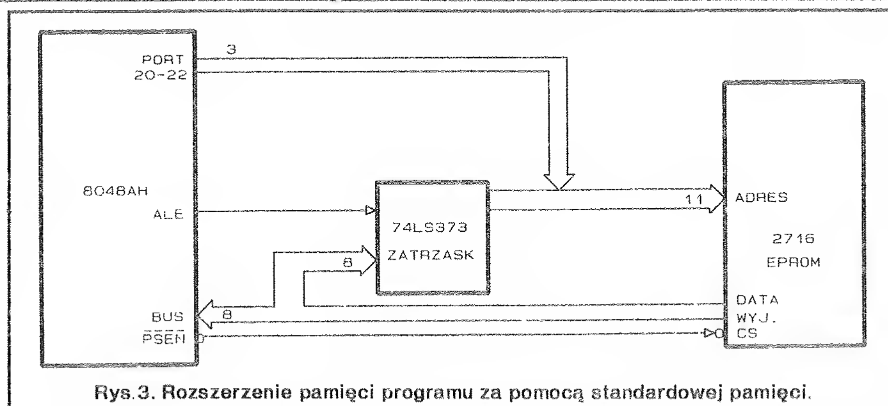


Rys.2. Komunikacja z zewnętrzną pamięcią programu.

nia.

4) Port BUS powraca do trybu wejścia, a procesor przyjmuje jego 8-bitową zawartość jako słowo instrukcji.

Poprzez ustawienie wejścia EA w stan HI można wymusić pobieranie programu z pamięci zewnętrznej niezależnie od adresu. Ten rodzaj pracy stosuje się w przypadku mikrokomputera bez wewnętrznej pamięci programu. Adresowanie pamięci programu do 2k słów przebiega konwencjonalnie: licznik programu jest zwiększany o 1 od stanu 000H do 7FFH, a przepełnienie powoduje jego wyzerowanie. Adresy spoza 2047 mogą być osiągnięte przez wykonanie rozkazu przełączenia banku pamięci (SEL MB0,SEL MB1). Dokonuje się tego bezpośrednio ustawiając lub zerując najstarszy bit licznika programu. Bit ten (dwunasty) nie jest zmieniany przy normalnym inkrementowaniu, lecz jest ustawiany zgodnie z zawartością specjalnego przerzutnika każdorazowo przy wykonywaniu instrukcji IMP lub CALL. Rozkaz SEL MB0 zeruje, a SEL MB1 - ustawia ten przerzutnik. Dlatego instrukcja SEL MB może być wykonana w dowolnej chwili przed rzeczywistym przełączeniem banku, które następuje przy napotkaniu kolejnej instrukcji sterującej. Ponieważ wszystkie 12 bitów licznika programu jest magazynowanych na stosie podczas wykonania instrukcji CALL, użytkownik może przechodzić do podprogramów przez granicę 2k, a przy powrocie odpowiedni bank będzie włączony. Natomiast przerzutnik przełącznika banku nie jest zmieniany przy powrocie z podprogramu. W czasie programu obsługi przerwania najstarszy bit licznika programu jest utrzymywany w stanie LO. Dlatego program obsługi przerwania powinien znajdować się w zakresie pierwszych 2k słów pamięci programu. Również z tego powodu nie jest zalecane wykonanie instrukcji zmiany banku pamięci w obrębie programu obsługi przerwania, gdyż nie ustawi to bitu PC11, a tylko przerzutnik.



Rys.3. Rozszerzenie pamięci programu za pomocą standardowej pamięci.

Odtwarzanie danych portów I/O.

Chociaż młodsza połowa portu P2 jest używana jako cztery bardziej znaczące bity adresu przy komunikacji z zewnętrzną pamięcią programu, to informacje I/O są ciągle obecne na wyjściach w czasie pewnej części każdego cyklu maszynowego. Dane I/O są obecne na młodszych 4 bitach portu P2 przy narastającym zboczu sygnału ALE i mogą być w tym czasie próbkowane i zapamiętane.

1.1. Przykład.

Rys.3 przedstawia system z pamięcią programu 3KB uzyskaną przy pomocy pamięci EPROM typu 2716. Używając układu 8035 otrzymamy system z pamięcią programu o pojemności 2KB, a stosując układ 8049 - 4KB.

Rys.4 pokazuje zastosowanie układu 8755/8355. Jest to 2KB pamięć EPROM/ROM z wewnętrznym zatrzaskiem adresu oraz z 16 liniami I/O adresowanymi jak dwa 8-bitowe porty, które są adresowane jak zewnętrzna pamięć RAM.

2. Powiększanie pamięci danych.

Przykład jest przedstawiony na rys.5. Układ 8155 zawiera wewnętrzny zatrzask adresu, więc może być sprzęgany bezpośrednio z µk 8048. Dostarcza 256 bajtów SRAM i ma 22 linie I/O oraz 14-bitowy timer. Adres i dane są przenoszone przez 8 linii portu BUS. Cykl zapisu i odczytu przebiega następująco (rys.6):

1) zawartość rejestru R0 lub R1 jest przenoszona do portu BUS

2) sygnał ALE wskazuje ważność adresu, a jego opadające zbocze powoduje zatrzaśnięcie adresu

3) RD lub WR wskazuje typ operacji, a opadające zbocze impulsu - ważność danych

4) transmisja danych przez port BUS

3. Ekspansja I/O.

Są cztery sposoby ekspansji I/O:

- użycie specjalnego ekspandera 8243

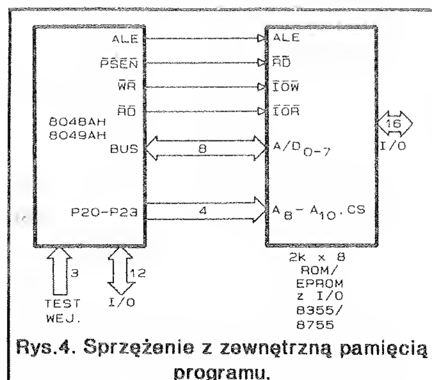
- użycie standardowych układów I/O systemu MCS-80/85

- zastosowanie kombinacji układów 8155, 8355/8755

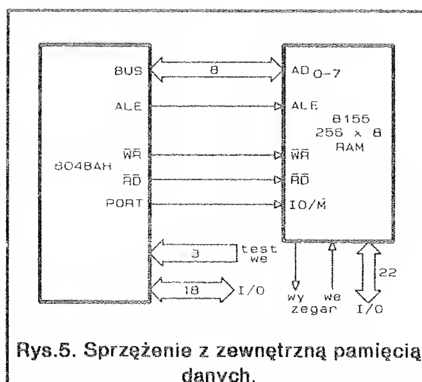
- zastosowanie standardowych układów TTL

3.1. Ekspander 8243.

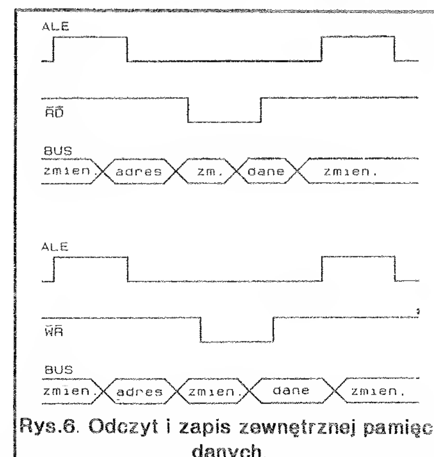
Dla małych systemów układ ten jest najbardziej efektywnym środkiem ekspansji. Wymaga tylko czterech linii portu (młodsza połowa portu P2) do komunikacji z układem 8048 (rys.7). US 8243 zawiera cztery 4-bitowe porty I/O adresowane jako #4-7. Na por-



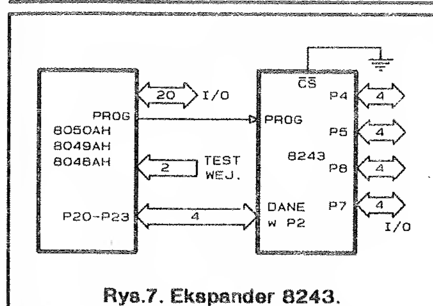
Rys.4. Sprzężenie z zewnętrzną pamięcią programu.



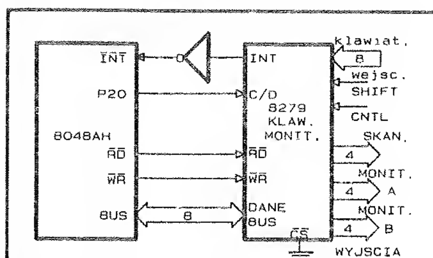
Rys.5. Sprzężenie z zewnętrzną pamięcią danych.



Rys.6. Odczyt i zapis zewnętrznej pamięci danych.



Rys.7. Ekspander 8243.



Rys. 9 Sposób przyłączania układu 8279

tach tych mogą być wykonane następujące operacje:

- przesłanie akumulatora do portu
- przesłanie portu do akumulatora
- iloczyn logiczny portu i akumulatora
- suma logiczna portu i akumulatora

Przesłanie zawartości portu do akumulatora powoduje wyzerowanie jego czterech starszych bitów. Komunikacja między układem a procesorem jest taktowana impulsem PROG. Każda transmisja następuje w postaci dwóch półbajtów: pierwszy zawiera kod instrukcji i adres, a drugi właściwe dane.

Półbajt 1



Kod instrukcji I I

00 READ

0 1 WRITE

1 0 OR

1 1 AND

Półbajt 2



Adres portu A A

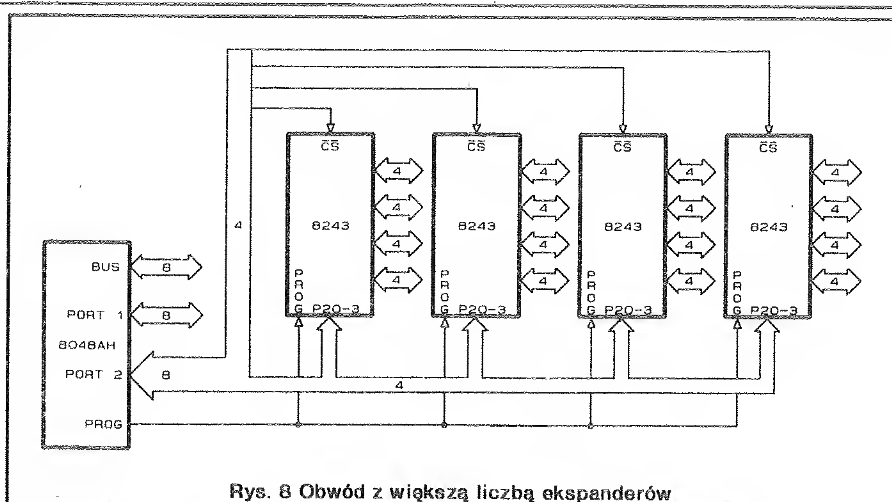
0 0 port #4

0 1 port #5

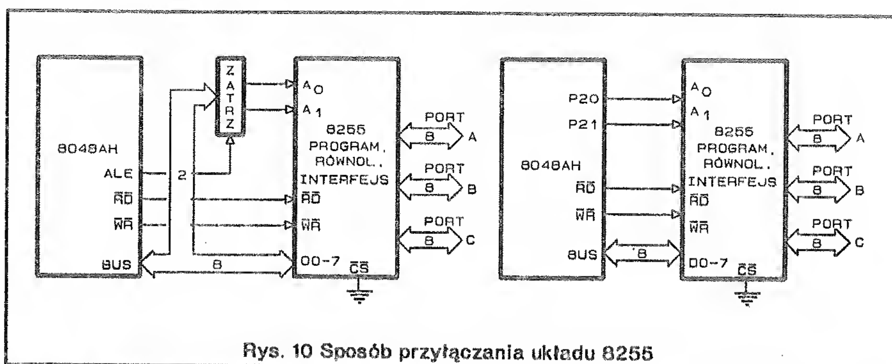
1 0 port #6

1 1 port #7

Przejście impulsu PROG ze stanu HI do LO oznacza obecność adresu na liniach portu, podczas gdy przejście odwrotne - obecność danych. Obwód z większą liczbą ekspanderów przedstawia rys.8.



Rys. 8 Obwód z większą liczbą ekspanderów

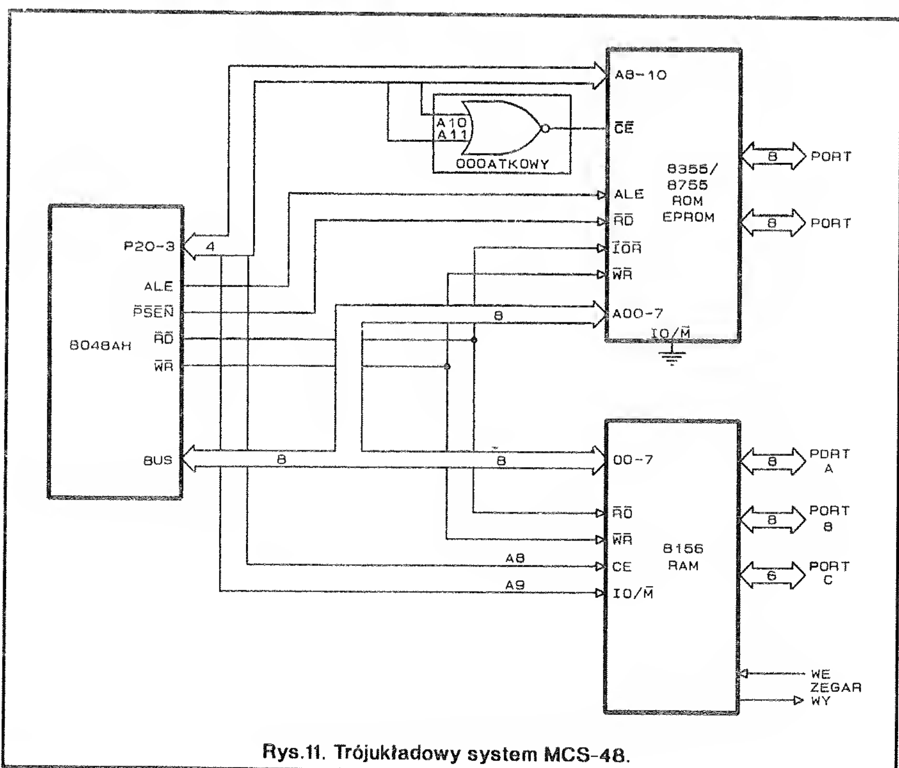


Rys. 10 Sposób przyłączania układu 8255

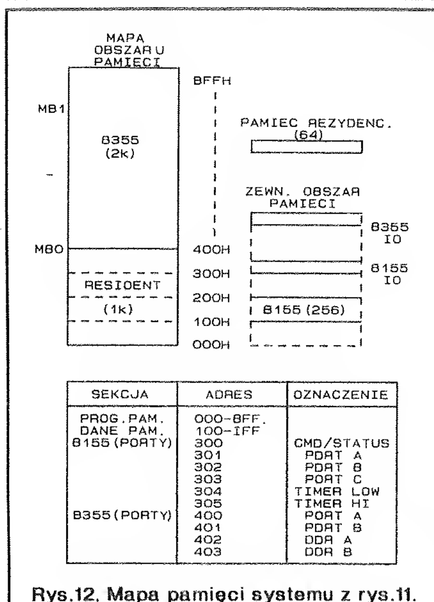
3.2. Zastosowanie specjalizowanych peryferii standardu MCS-80/85.

Układy tego rodzaju mogą być przyłączone do MCS-48 w sposób analogiczny do używanego w przypadku rozszerzania pamięci danych. Jako przykład przedstawione jest na rys.9 podłączenie układu 8279 oraz układu 8255 (rys.10). Układy te rezydują w przestrzeni adresowej pamięci danych i są dostępne przy pomocy tych samych instrukcji przesłania MOVX. Podobnie można zastosować następujące układy:

* 8214 - układ kontroli przerwań priorytetowych
* 8251 - układ transmisji szeregowej (USART)
* 8255 - układ transmisji równoległej



Rys.11. Trójukładowy system MCS-48.



SEKCJA	ADRES	OZNACZENIE
PROG.PAM.	000-8FF.	
DANE PAM.	100-IFF	
8155 (PORTY)	300	CMD/STATUS
	301	PORT A
	302	PORT B
	303	PORT C
	304	TIMER LOW
	305	TIMER HI
8355 (PORTY)	400	PORT A
	401	PORT B
	402	DDR A
	403	DDR B

Rys.12. Mapa pamięci systemu z rys.11.

Rys. 13 Sekwencja PROGRAM/VERIFY

* 8279 - układ współpracy z klawiaturą i wyświetlaczem

* 8254 - programowany układ czasowy

3.3. Kombinacja pamięci i ekspanderów I/O.

Jak wspomiano w punkcie dotyczącym rozszerzania pamięci, układy 8355/8755 i 8155 zawierają również układy I/O.

- 8355/8755: układ I/O składa się z dwóch 8-bitowych portów rezydujących w przestrzeni adresowej zewnętrznej pamięci danych i dostępnych instrukcjach MOVX. Oba porty mają własny 8-bitowy rejestr kierunku (DDR-Data Direction Register), który określa każdą linię portu jako WE lub WY. Rejestr kierunku jest adresowany bezpośrednio, co pozwala użytkownikowi definiować pod kontrolą programu indywidualnie każdy bit portu. Wszystkie wyjścia są zatrzaskiwane statycznie i podwójnie buforowane, natomiast wejścia nie są zatrzaskiwane.

- 8155/8156: układ I/O składa się z dwóch 8-bitowych i jednego 6-bitowego programowalnego portu. Te trzy rejestry i rejestr Control/Status są dostępne jako zewnętrzna pamięć danych poprzez instrukcję MOVX. Zawartość rejestru sterującego określa redzaj tych portów: wejścia, wyjścia, pracę z lub bez trybu handskake (z potwierdzeniem). W trybie handskake linie 6-bitowego portu są strobami wejść lub wyjść pozostałych portów.

4. MCS-48 SYSTEM (rys. 11).

Głównym powodem konstrukcji takiego systemu jest pokazanie adresowania różnych pamięci i portów I/O.

Linie A_{10} i A_{11} wybierają układ 8355 poprzez bramkę NOR. Zapewnia to aktywność układu jake zewnętrznej pamięci programu w zakresie 1K do 3K i blokuje go dla pozostałych adresów. Gdyby układ ten był wybrany w sposób ciągły, doszłoby do konfliktu między jego portami a pamięcią RAM i portami układu 8156. Bramka NOR mogłaby być wyeliminowana i A_{11} połączone bezpośrednio z wejściem CE (zamiast $\overline{CE}$) układu 8355; jednakże stworzyłoby to sytuację, że układ ten byłby aktywny w zakresie 2K i 4K zamiast w normalnym, tj. 1K do 3K. W systemie tym różne obszary pamięci są adresowane następująco (por.rys.12):

* RAM 8156 - adresy 0-255, gdy port P2: bit 0 (A_8)=1,bit 1(A_9)=0

* I/O 8156 - adresy 0-3, gdy port P2: bit 0=1,bit 1=1

* I/O 8355 - adresy 0-3, gdy port P2: bit 2 (A_{10}) lub bit 3 (A_{11})=1.

5. Programowanie układów 8748/8749.

W skrócie, proces programowania składa się z: aktywacji trybu programowania, ustawienia adresu, zatrzaśnięcia adresu, ustawienia danych i podania impulsu programującego. W programowaniu biorą udział następujące wyprowadzenia:

PIN	FUNKCJA
XTAL1	wejście zegara (3 de 4MHz)
Reset	inicjalizacja i zatrzaśnięcie adresu
TO	wybór trybu PROGRAM (0V) lub VERIFY (5V)
EA	rozpoczęcie wybranego trybu
BUS	adres i dane wejściowe; dane wyjściowe podczas weryfikacji
P20-1	wejście adresowe (8748)
P20-2	wejście adresowe (8749)
VDD	zasilanie programowania
PROG	impuls programujący
P10 -P11	zwarte z masą (tylko 8749)

Sekwencja PROGRAM/VERIFY (rys.13):

1) V_{DD}=5V, podanie zegara lub praca wewnętrznego oscylatora, $\overline{RESET}$=0V, T_0=5V, EA=5V, BUS i PROG w stanie wysokiej impedancji (floating-stan "latający"). P10 i P11 zwarte do masy (8749).

2) Włożenie procesora do gniazda programującego.

3) T_0=0V (wybór trybu PROGRAM).

4) EA=18V (rozpoczęcie trybu PROGRAM).

5) Ustawienie adresu na BUS i P20-22 (P20-21 dla 8748).

6) $\overline{RESET}$=5V (zatrzaśnięcie adresu)

7) Ustawienie danych na BUS.

8) V_{DD}=21V (zasilanie programowania).

9) PROG=Vcc lub FLOAT poza 50ms impulsem 18V.

10) VDD=5V

11) T_0=5V (tryb VERIFY).

12) Czytanie i weryfikacja danych na BUS.

13) T_0=0V

14) $\overline{RESET}$=0V i powrót do kroku 5).

15) Programator powinien osiągnąć warunki kroku 1) gdy procesor jest usunięty z gniazda programującego.

Ostrzeżenie!

Próba programowania niedokładnie osadzonego układu w gnieździe zakończy się jego uszkodzeniem. Wskaźnikiem właściwie włożonego układu jest pojawienie się na wyprowadzeniu ALE sygnału zegarowego. Brak tego sygnału może być użyty do blokowania programatora.

mgr inż. Robert Krzysztofek

Niekonwencjonalny sposób dołączenia przetwornika A/C do IBM – dokończenie

Program PRZETW.PAS (Pascal)

```
program przetwornik;

{$L VOX.OBJ }
type bytep=^byte;
var dane:bytep;
{$F+}
procedure setport( adres:word ); external;
function singlein(wej:word) :word; external;
procedure singleout( wartosc:word); external;
procedure stringout( adres:bytep; ilosc,
timer:word); external;
procedure stringin ( wej:word; adres:bytep; ilosc,
timer:word); external;
{$F-}

begin
setport($378);
singleout(255);
writeln('Na wejściu jest ', singlein(0));
getmem(dane, 1000);
stringin( 0, dane, 1000, 2000);
stringout( dane, 1000, 200);
freemem(dane, 1000);
end.
```

Program VOX.ASM (Assembler)

```
.model tpascal

          PUBLIC setport      ; setport (word)
          PUBLIC singlein     ; singlein(word)
                              ;word
          PUBLIC singleout    ; singleout
                              (unsigned)
          PUBLIC stringin     ; stringin (word,
                              ^byte, word,
                              word)
          PUBLIC stringout    ; stringout (^byte,
                              word, word)
.DATA
adrtim    EQU 4*8
timer0    dw ?,?              ; przechowywanie
                              starego wektora
                              IRQ0
portadr   dw ?                ; przechowywanie
                              adresu portu LPT

.CODE
setport   PROC far port :word ; wybieranie
                              adresu portu
          mov ax,port
          mov [portadr],ax
          ret
setport   ENDP

singlein  PROC far innr :word ; dokonanie
                              pojedynczego
                              pomiaru
          mov dx,portadr      ; adres portu
                              ustawiony przez
                              setport
          mov ax,innr         ; wybieranie
                              wejscia
          and ax,3
          or ax,4             ; linia INIT 0->1
          inc dx
          inc dx
          out dx,al
          and al,3            ; linia INIT 1->0
          out dx,al           ; pocz. konwersji
          dec dx
siwait:   in al,dx            ; sprawdzanie
                              stanu
                              przetwornika
          and al,00001000b    ; czy konwersja
                              dokonana ?
          jz siwait           ; czekaj na
                              zakonczenie
                              konw.

          in al,dx            ; pobieranie mlnej
                              znacz. 4 bitow
          and al,11110000b
          mov cl,4            ; przesuniecie na
                              poprawna pozycje
          ror al,cl
          mov ah,al           ; przechowanie w
                              AH
          inc dx
          mov al,1000b        ; przygotowanie do
                              czytania
                              starszych
          out dx,al           ; 4 bitow
          dec dx
          in al,dx            ; odczyt
          and al,11110000b
          or al,ah            ; dodanie
                              mlodszych 4
                              bitow
          xor ah,ah           ; wynik w AX
          ret
singlein  ENDP

singleout PROC far wart:word  ; ustawienie
                              przetw. D/A
          mov dx,portadr      ; adres portu
          mov ax,wart         ; podana wartosc
          out dx,al           ; ustawienie linii
                              D0-D7
          ret
singleout ENDP

;wartości rejestrow wymagane przez procedure
inint8
;ES:SI    daleki wskaznik -> pierwszy bajt ciagu
;BX       nr pobieranego bajtu
;DI       calkowita ilosc bajtow do pobrania
;DX       adres printer port + 1
;CL       4
;CH       nr wejscia ( 0..3 )

inint8:   inc dx
          mov al,4
          or al,ch
          out dx,al
          mov al,ch
          out dx,al           ; pocz. konwersji

          dec dx
notconv:  in al,dx
          and al,00001000b
          jz notconv          ; oczekiwanie na
                              zakonczenie

          in al,dx            ; pobranie
                              mldszych 4 bitow
          and al,11110000b
          ror al,cl
          mov ah,al
          inc dx
          mov al,1000b
          out dx,al           ; przelaczenie
                              multiplexora
          dec dx
          in al,dx
          and al,11110000b    ; pobranie 4
                              starszych bitow
          or al,ah
          mov es:[si+bx],al
          inc bx
          mov al,20h          ; potwierdzenie
                              przyjecia
          out 20h,al          ; przerwania
          cmp bx,di
          je inputend
          iret
inputend:
          mov al,36h
          out 43h,al
          xor al,al           ; ustawienie
                              normalnej
          out 40h,al          ; czestotliwosci
                              IRQ0
          out 40h,al

          xor ax,ax           ; odtworzenie
                              wektora

          mov es,ax           ; przerwania IRQ0
                              (INT8)
          mov ax,[timer0]
          mov es:[adrtim],ax
          mov ax,[timer0+2]
          mov es:[adrtim+2],ax
          iret

stringin  PROCfar inputnr, buffseg, buffoffs,
                              nrbytes, timer :
                              word,
          push es
          push di
          push si
          mov ax,inputnr      ; wybieranie
                              wejscia
          and al,3
          mov ch,al
          mov cl,4
          mov dx,[portadr]    ; pobranie adresu
                              portu
          inc dx
          mov di,nrbytes      ; ilosc bajtow do
                              pobrania
          cmp di,0
          je zeroin           ; jezeli zero to
                              koniec
          cli
          mov al,36h          ; ustawienie nowej
                              czestotliwosci
          out 43h,al          ; generacji
                              przerwania IRQ0
          mov ax,timer
          out 40h,al
          mov al,ah
          out 40h,al
          mov ax,0            ; ustawienie
                              wektora
                              przerwania
          mov es,ax           ; na procedure
                              init8
          mov ax,es:[adrtim]
          mov [timer0],ax
          mov ax,es:[adrtim+2]
          mov [timer0+2],ax
          mov word ptr es:[adrtim], offset inint8
          mov word ptr es:[adrtim+2],seg inint8

          mov es,buffseg
          mov si,buffoffs
          mov ax,si           ; test czy dane w
                              jednym
                              segmencie
          add ax,di
          jnc notlong
          mov ax,si           ; jezeli nie to
                              przelicz
          and ax,1111111111110000b
          ror ax,cl
          mov bx,es
          add ax,bx
          mov es,ax
```

```
          and si,15

notlong.  mov bx,0
          sti                    ; aktywacja
                                   przerwan
inwait:   cmp bx,di              ; oczekiwanie na
                                   koniec
          jne inwait             ; bloku
zerein:
          pop si
          pop di
          pop es
          ret
stringin  ENDP

;rejestrow wymagane przez procedure outint8
;ES:SI    daleki wskeznik -› pierwszy bajt
;BX       nr aktualnio wysylanege bajtu
;DI       calkowita ilosc bajt

outint8: mov al,es:[bx+si]
          inc bx
          out dx,al
          mov al,20h
          out 20h,al
          cmp bx,di
          je outend
          iret
outend:
          mov al,36h
          out 43h,al
          xor al,al
          out 40h,al
          out 40h,al             ; odtworzenie norm
                                   czestotl IRQ0
          xor ax,ax              ; edtworzenie norm
                                   wektora przerwan
          mov es,ax
          mov ax,[timer0]
          mov es:[adrtim],ax
          mov ax,[timer0+2]
          mev es:[adrtim+2],ax
          iret

stringeut PROC far buffseg, buffoffs, nrbytos,
                                   timer :word
          push es
          mov dx,[portadr]
          mov di,nrbytes
          cmp di,0
          je zeroout
          cli
          mov al,36h             ; ustawienie nowej
                                   czestotl.
          out 43h,al             ; przerwania IRQ0
          mev ax,timer
          out 40h,al
          mov al,ah
          out 40h ,al
          mov ax,0               ; przestawienie
                                   wektora
          mov es,ax              ; przerwania na
                                   outint8
          mov ax,es:[adrtim]
          mov [timer0],ax
          mov ax,es:[adrtim+2]
          mov [timer0+2],ax
          mov word ptr es:[adrtim], offset outint8
          mov word ptr es:[adrtim+2],seg outint8

          mov es,buffseg
          mov si,buffoffs
          mov ax,si              ; test czy dane w
                                   jednym
                                   segmencie
          add ax,di
          jnc notlong2
          mov ax,si
          and ax,1111111111110000b
          ror ax,cl
          mov bx,es
          add ax,bx
          mov es,ax
          and si,15
notlong2:
          mov bx,0
          sti
outwait: cmp bx,di               ; oczekiwanie na
                                   koniec
          jne outwait            ; bloku danych
zeroout:
          pop es
          ret
stringout ENDP

end
```

Wojciech Adam Noworyta

Cyfrowe generatory szumów

Generatory szumów mają szerokie zastosowanie: w elektronicznych grach (do generacji przypadkowych liczb), w syntezatorach muzyki i mowy, w miernikach charakterystyk częstotliwościowych (np. magnetofonów), w analizatorach akustycznych właściwości pomieszczeń i inne.

W większości wymienionych zastosowań, jako pierwotne źródła szumów stosuje się "szumiące elementy". Powstające w nich szumy są uwarunkowane zachodzącymi w nich elektrycznymi procesami takimi jak np. szumy cieplne rezystorów, szumy stabilizatorów, szumy specjalnych diod itd. Jednak wszystkie te źródła posiadają znaczne wady:

* małą moc szumów
* małą czasową i temperaturową stabilność parametrów
* nierównomierność charakterystyk widmowych (spektralnych) spowodowaną działaniem innych rodzajów szumów

Takie generatory wymagają powtórnego strojenia przy każdorazowej zmianie źródła szumów.

Wymienione wady nie mają miejsca w cyfrowych źródłach szumów. "Cyfrowy" szum jest czasowym, przypadkowym procesem, którego właściwości są bliskie procesowi fizycznych szumów i dlatego nazywany jest pseudolosowym procesem. Cyfrowy ciąg dwójkowy symboli w generatorach cyfrowych nazywa się pseudolosowym ciągiem, przedstawiającym sobą ciąg prostokątnych impulsów o pseudolosowej szerokości z pseudolosowymi przerwami między nimi. Okres powtórzenia całkowitego ciągu jest znacznie większy niż największa przerwa między impulsami. Najczęściej stosowane są ciągi o maksymalnej "długości", które przy zadanej liczbie bitów formującego ich rejestru posiadają maksymalny okres powtórzeń.

Pseudolosowy, cyfrowy ciąg jest najczęściej formowany przez rejestry przesunięcia objęte przez liniowe sprzężenie zwrotne.

Rejestr z określoną liczbą bitów może syntetyzować kilka rodzajów pseudolosowych cyfrowych ciągów w zależności od struktury sprzężenia zwrotnego.

Przedstawiony tutaj cyfrowy generator szumów był sprawdzony w zestawie panoramicznego analizatora spektra (widma) współdziałającego z korektorem dla kontroli amplitudowo-częstotliwościowych charakterystyk zestawów głośnikowych, pomieszczeń dla przesłuchiwania stereofonicznych nagrań.

Generator ten zawiera szeregowy rejestr przesunięcia, sumator modulo 2, taktujący generator, układ startujący i niskoczęstotliwościowe, pasywne filtry. Rejestr i sumator tworzą układ formujący. Układ startujący zapobiega pojawieniu się zerowej kombinacji jednocześnie na wszystkich stanach przy włączeniu zasilania. Filtry służą do otrzymywania szumów z zadanymi spektralnymi właściwościami. Filtr "białego" szumu jest zwykłym filtrem niskiej częstotliwości. Natomiast filtr "różowego" szumu posiada pewne osobliwości. Rzecz w tym, że do otrzymania "różowego" szumu z "białego" konieczne jest wykorzystanie filtru niskiej częstotliwości, którego charakterystyka amplitudowo-częstotliwościowa maleje wraz ze wzrostem częstotliwości z nachyleniem 3dB na oktawę.

Podczas gdy filtr niskiej częstotliwości pierwszego rzędu (obwód całkujący RC) posiada charakterystykę o nachyleniu 6dB na oktawę. I dlatego do realizacji takiego filtru konieczna jest aproksymacja charakterystyki przy pomocy logarytmicznych amplitudowo-częstotliwościowych charakterystyk prostych obwodów RC.

Schemat generatora pokazany jest na Rys.1. Rejestr przesunięcia zrealizowany jest na układach scalonych US1 i US2 i zawiera 23 stany. Sprzężenie zwrotne realizuje się przez sumator modulo 2 na US3.1 układu scalonego US3. Sygnał sprzężenia zwrotnego wprowadzany jest z 18 stanu rejestru na jego wejście razem z ciągiem wyjściowym. Układ startujący jest wykonany na elementach R5 i C5. Po włączeniu zasilania na rezystorze R5 powstaje skok napięcia - poziom logicznej 1, który wyprowadza rejestr z

położenia zerowego. Układ US3.1 przy zerowym potencjale na jednym z jego wejść powtarza logiczny stan drugiego wejścia. Jeżeli więc przy włączeniu zasilania wszystkie pozycje rejestru będą znajdować się w stanie zerowym, to US3.1 i US3.2 będą powtarzać poziom logicznej 1 powstałej na rezystorze R5. Wówczas w pierwsze bity rejestru będzie wpisana logiczna 1. Po naładowaniu kondensatora C5 na rezystorze R5 będzie logiczne 0 i US3.2 będzie powtarzał stan wyjścia rejestru i nie będzie wpływał na pracę układu formującego. Przy podaniu na jedno z wejść US3.1 logicznej 1 element ten stanie się inwerterem logicznego stanu drugiego wejścia.

Właściwość ta jest wykorzystywana dla zbudowania generatora taktującego na US3.3 i US3.4.

Filtr "białego" szumu wykonany jest na elementach R3, R4, C3, C4. Wyjście "białego" szumu nie jest wyposażone w dodatkowy wzmacniacz gdyż sygnał ten był używany w opisywanym układzie tylko do kontroli generatora.

Filtr "różowego" szumu posiada cztery aproksymujące obwody: R8, R9, C6, C7; R10, R11, C8; R12, R13, C9, C10 i C11, C12, które wraz z rezystorami R6, R7 tworzą filtr niskiej częstotliwości z charakterystyką opadającą 3dB na oktawę, co prowadzi do odzwierciedlenia (prawdziwej) rzeczywistej charakterystyki amplitudowo-częstotliwościowej badanego urządzenia. Równoległe połączenie niektórych elementów pozwala zapewnić dokładne dostrojenie charakterystyki filtra. Wzmacniacz operacyjny US4 na wyjściu filtra zmniejsza rezystancję wyjściową generatora i kompensuje zmniejszenie mocy szumu w pasywnym filtrze. Przy podanych na schemacie wartościach elementów, uchyb aproksymacji charakterystyki nie jest większy niż 0.5dB względem krzywej 3dB na oktawę. Moc "białego" szumu wynosi 970mW², a "różowego" 900mW² (przy Uzas = ±6V). Generator pobiera prąd około 5mA. Generator zachowuje swoje charakterystyki przy zmianach napięcia zasilającego od ±5V do ±15V.

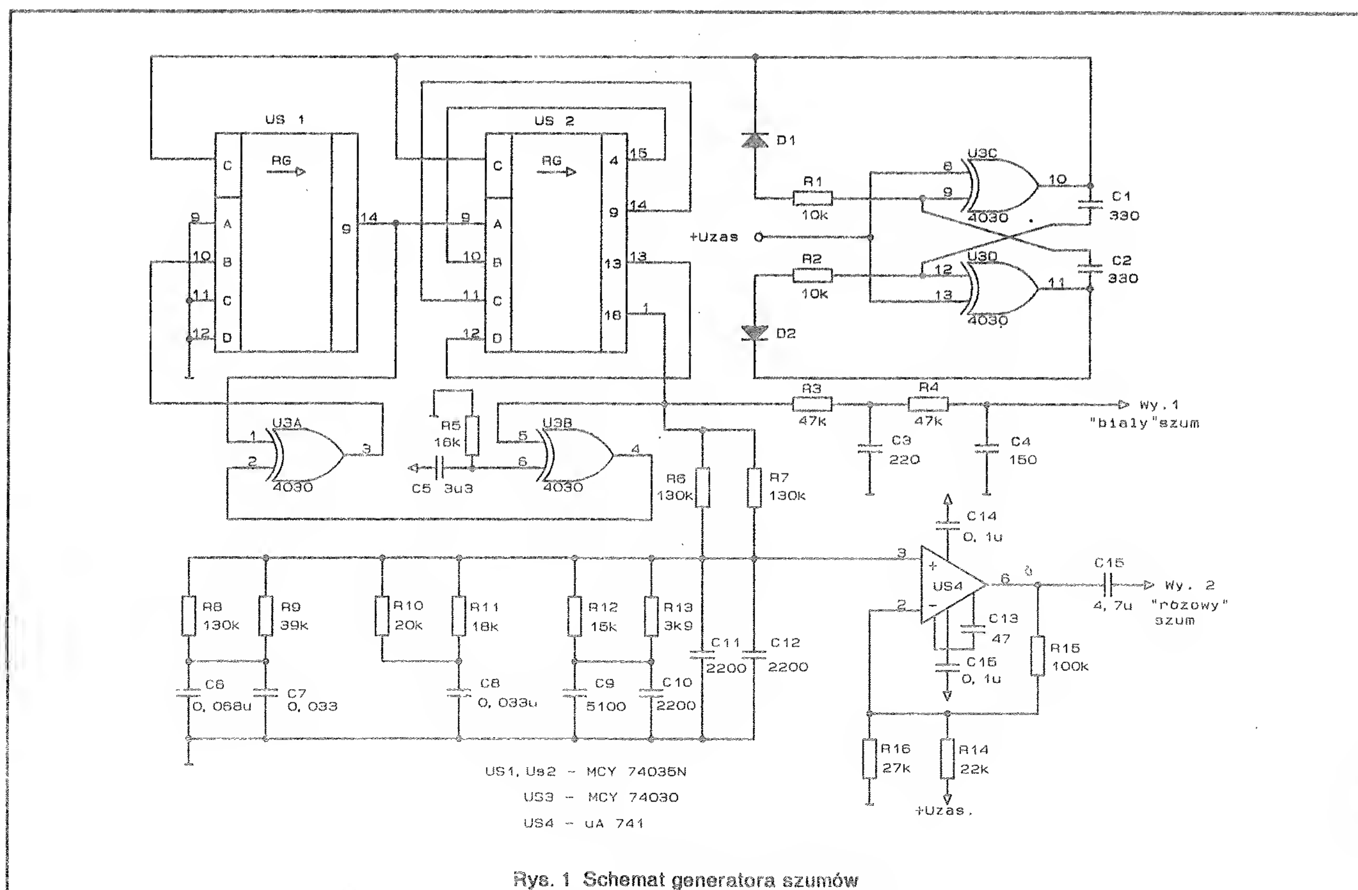
Po zmontowaniu generatora na płytce drukowanej generator zaczyna pracować bez specjalnego strojenia jeżeli nie było błędów na płytce. Konieczne jest tylko sprawdzenie częstotliwości generatora taktującego. Można ją regulować przy pomocy rezystorów R1, R2 lub kondensatorów C1, C2. Następnie przy pomocy rezystora R14 ustawić sygnał na wyjściu wzmacniacza operacyjnego (wyprowadzenie 6) tak, aby był on symetryczny względem zera, co można obserwować przy pomocy oscyloskopu lub woltomierza. Do sprawdzenia charakterystyki filtra"różowego" szumu należy odłączyć rezystory R6, R7 od punktu wspólnego z R3, wejścia z US3.2 i do ich wolnych końców podłączyć generator sinusoidalnego m.cz. napięcia i zdjąć charakterystykę mierząc napięcie na wyjściu wzmacniacza operacyjnego US4.

mgr inż. Zbigniew Pędzik

Opracowano na podstawie:

Radio 8/90

Borczyński, Dumin, Mliczewski - "Podzespoły elektroniczne - półprzewodniki". WKŁ W-wa 1990



Rys. 1 Schemat generatora szumów

Stoper elektroniczny na Z80

Na rys.1 przedstawiono układ stopera elektronicznego. Zbudowany jest on w oparciu o system mikroprocesorowy, w skład którego wchodzą:

- jednostka centralna CPU-Z80
- pamięć stała EPROM 2716
- statyczna pamięć RAM 6116
- dekoder adresów 74LS42
- interface równoległy 8255
- układ pięciu dekoderów kodu BCD na kod wyświetlacza siedmiosegmentowego 7447 wraz z 5 wyświetlaczami, wspólna anoda
- układ czasowy (generator kwarcowy, 2 liczniki 7490)
- układ zerujący 74121
- 3 przełączniki monostabilne SW2, SW3, SW5 oraz przełącznik typu SW DIP-3

Układ stopera elektronicznego pozwala na pomiar czasu z dokładnością do setnych części sekundy 8 startujących w zawodach zawodników. Czas biegu wyświetlany jest na 5 wyświetlaczach 7-segmentowych.

Stoper umożliwia pomiar czasu do 10 min., po czym zaczyna pomiar od zera. W przypadku pomiaru czasu powyżej 10 min. należy do aktualnego wyświetlanego czasu dodać tyle razy po 10 min., ile razy wyświetlacz osiągnął stan 0:00:00 s.

Obsługa stopera polega na wciśnięciu przełącznika SW3 START w momencie rozpoczęcia zawodów (można sprząc go z pistoletem startera), a w momencie osiągnięcia mety przez poszczególnych zawodników, wciśnięciu przełącznika SW2 STOP (można sprząc go z fotokomórką). W momencie przyciśnięcia przełącznika SW2 STOP, układ wpisuje do pamięci RAM 6116 aktualny czas osiągnięty przez zawodnika, po czym dalej odmierza czas dla następnego zawodnika.

Z chwilą ukończenia biegu przez 8 zawodnika układ przechodzi do stanu odczytu osiągniętych wyników. Należy wówczas ustalić nr zawodnika na przełączniku SW DIP-3 w kolejności zajętych miejsc, i tak:

	3	2	1
- dla pierwszego miejsca	0	0	0
- dla drugiego miejsca	0	0	1
- dla trzeciego miejsca	0	1	0
- dla czwartego miejsca	0	1	1
- dla piątego miejsca	1	0	0
- dla szóstego miejsca	1	0	1
- dla siódmego miejsca	1	1	0
- dla ósmego miejsca	1	1	1

i wcisnąć przełącznik SW5. Na wyświetlaczu pojawi się uzyskany czas w postaci np. 2:32:42 s.

Aby dokonać pomiaru następnego biegu, należy cały system wyzerować, wciskając przełącznik SW1 RESET.

Zasada działania układu oparta jest na wykorzystaniu dwóch rodzajów przerwań mikroprocesora Z80:

1/ przerwanie maskowalne INT, które inicjuje start

2/ przerwanie niemaskowalne NMI, które kończy odmierzanie czasu.

Procesor zaprogramowany jest na przyjęcie przerwań INT w trybie 1 (rozkaz IM1). Oznacza to, że po przyjęciu przez mikroprocesor przerwania INT realizuje on program obsługi od adresu 0038 H. Pod tym adresem znajduje się rozkaz Jp START (patrz program), więc procesor przechodzi do programu o etykiecie START. Tu następuje zliczenie i wyświetlanie upływającego czasu w pętli po 10 ms. Pętlę 10 ms uzyskano wykorzystując grupę rozkazów, których łączna ilość taktów równa jest 400. Przy zegarze mikroprocesora 2MHz/50 = 40 kHz czas pętli wynosi (1/40kHz) x 400 = 10 ms. Dziesiątki milisekund zapisane są w rejestrze C, setki milisekund w rejestrze B, sekundy w rejestrze E, dziesiątki sekund w rejestrze D, minuty w rejestrze L. W pętli 10 ms sprawdzany jest stan rejestru H będącego licznikiem zawodników kończących bieg. W momencie, gdy licznik ten osiągnie wartość 08 H, następuje zakończenie zliczenia i przejście do programu o etykiecie SKOŃCZ.

Po przyjęciu przez procesor przerwania NMI (przerwanie to ma wyższy priorytet niż INT) na skutek wciśnięcia przełącznika SW2 realizowany jest program obsługi od adresu 0066 H. Tu następuje zapis do odpowiednich komórek pamięci aktualnego osiągniętego czasu. Do komórek pamięci zapisywane są stany rejestrów C,B,E,D,L. Zwiększony jest o jeden stan rejestru H. Na początku programu obsługi przerwania NMI sprawdzany jest stan rejestru H. Z chwilą osiągnięcia stanu 08 następuje powrót z programu obsługi przerwania.

Po osiągnięciu stanu 08 rejestru H procesor przechodzi do realizacji programu o etykiecie SKOŃCZ. Tu następuje odczytanie nr zawodnika (przełącznik SW DIP-3 i SW5) i wyświetlenie uzyskanego czasu odczytanego z pamięci RAM.

Rozbudowa systemu mikroprocesorowego o dalsze elementy spowoduje większe możliwości stopera co do liczby zawodników, jak również do pomiaru czasu rzędu dziesiątków godzin.

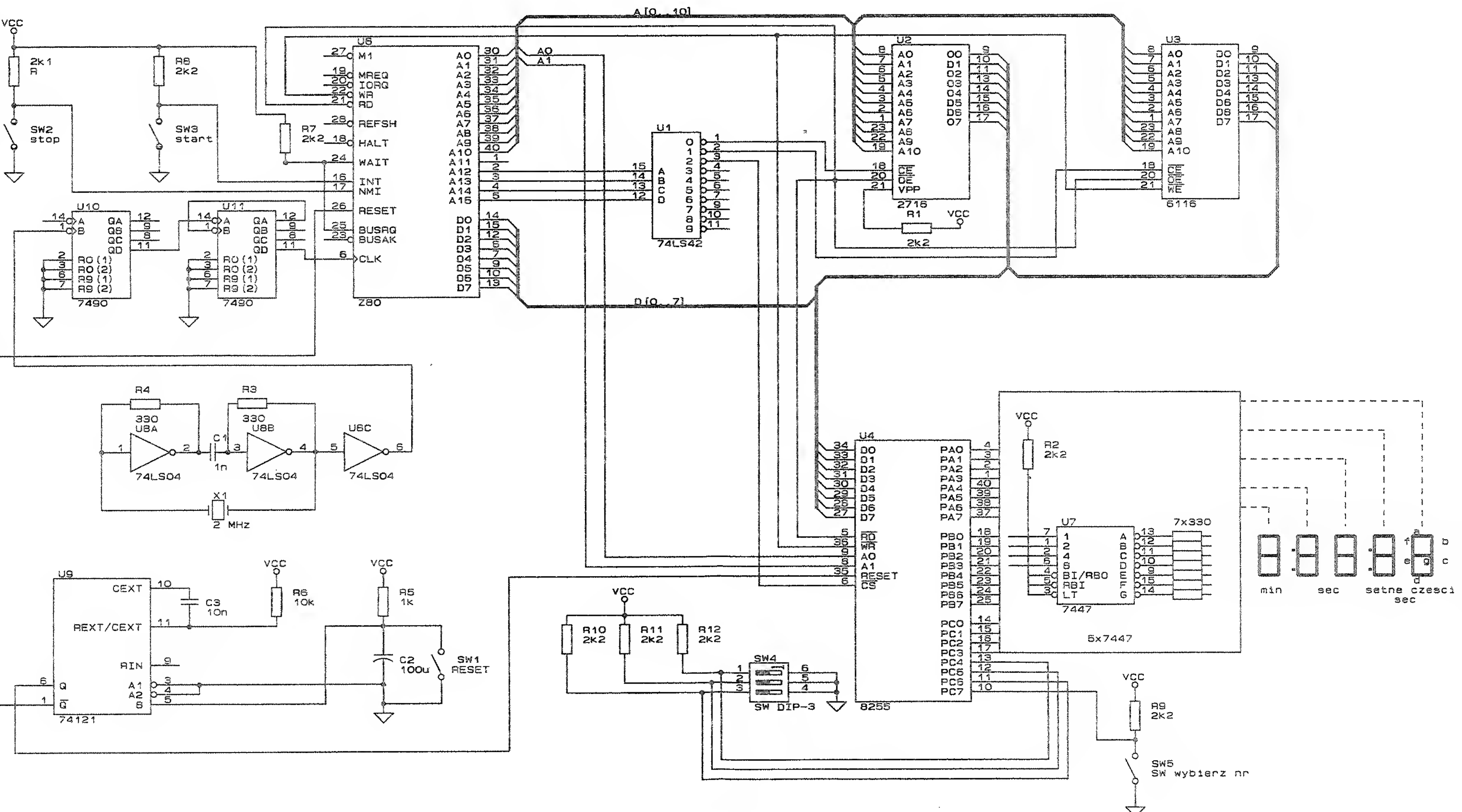
Programowana realizacja stopera elektronicznego

```
ADRES (HEX)
0000        DI              -zablokowanie przer-
                            wań INT
            LD A 88 H       -inicjalizacja 8255
                            (PA,PB,dolna cz.PC-
                            wyjście górna cz.PC-
                            wejście)
            LD(2003),A
            LD A,00
            LD(2000),A
            LD(2001),A
            LD(2002),A
            LD SP,OFFF      -ustawienie wskaźni-
                            ka stosu
            LD IY,1000
            LD BC,0000      -zerowanie rejestrów
                            B,C
            LD DE,0000      D,E
            LD HL,0000      H,L
            IM 1
            EI              -odblokowanie przer-
                            wań INT
CZEKAJ NA
START:      NOP
            JP CZEKAJ NA START
0038        JP START        -Obsługa przerwania
                            INT (skocz do etykie-
                            ty START)
0066        PUSM AF'        -obsługa przerwania
                            NMI
            LD A,M
            CP 08           -porównanie czy
                            przerw.NMI
            JP NZ DAL       -jeśli nie to przejdź
                            do DAL
            POP AF          -jeśli tak do wróć z
                            obsługi przerwania
                            NMI
            RETN
DAL:        CP 00           -pierwszy zawodnik
                            skończył bieg
            JP NZ DAL 1
            LD(IY+00),C     -zapis do pamięci
                            czasu biegu zawod-
                            nika nr 1 będącego
                            zawartością rejestr.
                            L,D,E,B,C
            LD(IY+01),B
            LD(IY+02),E
            LD(IY+03),D
            LD(IY+04),L
            INC H           -zwiększ licznik H o
                            jeden
            POP AF
            RETN            -wróć z obsł. przerw.
                            NMI
DAL 1       CP 01           -drugi zawodnik
                            skończył bieg
            JP NZ DAL 2
            LD(IY+05),C     -zapis do pamięci
                            czasu biegu zawod-
                            nika nr 2
            LD(IY+06),B
            LD(IY+07),E
            LD(IY+08),D
            LD(IY+09),L
            INC H
            POP AF
            RETN            -wróć z
                            obsł.przerw NMI
DAL 21:     CP 02           -trzeci zawodnik
                            skończył bieg
            JP NZ DAL 3
            LD(IY+0A),C     -zapis do pamięci
                            czasu biegu zawod-
                            nika nr 3
            LD(IY+0B),B
            LD(IY+0C),E
```

```
         LD(IY+OD),D
         LD(IY+OE),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
DAL 3:   CP 03           -czwarty zawodnik
                         skończył bieg
         JP NZ DAL 4
         LD(IY+OF),C     -zapis do pamięci
                         czasu biegu zawodni-
                         ka nr 4
         LD(IY+10),B
         LD(IY+11),E
         LD(IY+12),D
         LD(IY+13),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
DAL 4:   CP 04           -piąty zawodnik
                         skończył bieg
         JP NZ DAL 5
         LD(IY+14),C     -zapis do pamięci
                         czasu biegu zawodni-
                         ka nr 5
         LD(IY+15),B
         LD(IY+16),E
         LD(IY+17),D
         LD(IY+18),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
DAL 5:   CP 05           -szósty zawodnik
                         skończył bieg
         JP NZ DAL 6
         LD(IY+19),C     -zapis do pamięci
                         czasu biegu zawodni-
                         ka nr 6
         LD(IY+1A),B
         LD(IY+1B),E
         LD(IY+1C),D
         LD(IY+1D),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
DAL 6:   CP 06           -siódmy zawodNIK
                         skończył bieg
         JP NZ DAL 7
         LD(IY+1E),C     -zapis do pamięci
                         czasu biegu zawodni-
                         ka nr 7
         LD(IY+1F),B
         LD(IY+20),E
         LD(IY+21),D
         LD(IY+22),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
DAL 7:   LD(IY+23),C     -ostatni ósmy zawod-
                         nik skończył bieg ;
                         wynik zapisujemy do
                         pamięci
         LD(IY+24),B
         LD(IY+25),E
         LD(IY+26),D
         LD(IY+27),L
         INC H
         POP AF
         RETN            -powrót z przerwania
                         NMI
POCZ:    JP START         obsługa przerwania
                         INT
START:   INR A -grupa rozkazów umożliwiająca
         LD A,OO realizowanie stałej pętli
         LD A,A czasowej 10 ms
         CP OO
TAM:     INR A
         LD A,OO
         LD A,A
         CP OO
         JP TAM 1
TAM 1:   INR A
         LD A,OO
         LD A,A
         CP OO
         JP TAM 2
TAM 2:   INR A
```

```
         LD A,OO
         LD A,A
         CP OO
         JP TAM 3
TAM 3:   INR A
         LD A,OO
         LD A,A
         CP OO
         JP TAM 4
TAM 4:   JP TAM 5
TAM 5:   JP TAM 6
TAM 6:   JP TAM 7
TAM 7:   JP TAM 8
TAM 8:   JP TAM 9
TAM 9:   JP TAM 10
TAM 10:  JP TAM 11
TAM 11:  NOP
         NOP
         NOP
         LD A,H
         CP 08           -czy ósmy zawodnik
                         skończył bieg?
         JP Z SKOŃCZ     -jeżeli tak to skok do
                         etykiety SKOŃCZ
         LD A,B
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD C
         LD(2000),A      -wyślij do PA setne
                         części sekundy
         LD A,D
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD E
         LD(2001),A      -wyślij do PB war-
                         tość sekund
         LD A,L
         LD(2002),A      -wyślij do dolnej
                         części PC ilość minut
         INC C           -zwiększ o jeden
                         ilość dziesiątych
                         części ms
         LD A,OO
         LD A,C
         CP OA
         JP NZ POCZ      - koniec pętli 10 ms
         INC B           -zwiększ o jeden
                         ilość setnych części
                         sekundy
         LD C,OO
         LD A,B
         CP OA
         JP NZ TAM
         INR E           -zwiększ o jeden
                         licznik s.
         LD B,OO
         LD A,E
         CP OA
         JP NZ TAM 1
         INR D           -zwiększ o jeden
                         licznik
         LD E,OO dziesiątek sekund
         LD A,D
         CP 06
         JP NZ TAM 2
         INR L           -zwiększ o jeden
                         licznik
         LD D,OO minut
         LD A,L
         CP OA
         JP NZ TAM 3
         INC A
         LD L,OO
         LD A,A
         CP OO
         JP POCZ
SKOŃCZ:  LD A,(2002)     -odczytaj stan przeł.
                         SW5
         AND 80
         JP NZ CZYTAJ NR ZAWODNIKA
         JP SKOŃCZ
CZYTAJ NR
ZAWODN.: AND 70
         CP OO           -czy wybrano nr 1
         JP NZ WYB 2
```

```
         LD C,(IY+OO)    -prześlij z pamięci
                         do rejestrów L, D, E,
                         B, C czas uzyskany
                         przez 1 zawodnika
         LD B,(IY+01)
         LD E,(IY+02)
         LD D,(IY+03)
         LD L,(IY+04)
         LD A,B
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD C
         LD(2000),A      -wyślij do PA setną
                         część sekundy
         LD A,D
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD E
         LD(2001),A      -do PB ilość sekund
         LD A,L
         LD(2002),A      -do PC ilość minut
         JP SKOŃCZ
WYB 2:   CP 01           -czy wybrano zawod.
                         nr 2
         JP NZ WYB 3
         LD C,(IY+05)    -do rejestrów C, B, E,
                         D, L prześlij czas
                         uzyskany przez za-
                         wodnika nr 2
         LD B,(IY+06)
         LD E,(IY+07)
         LD D,(IY+08)
         LD L,(IY+09)
         LD A,B
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD C
         LD(2000),A      -do PA po setne
                         części sek.
         LD A,D
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD E
         LD(2001),A      -do PB sekundy
         LD A,L
         LD(2002),A      -do PC minuty
         JP SKOŃCZ       -wróć do wyboru za-
                         wodnika
WYB 3:   CP 02           -czy wybrano zawod.
                         nr 3
         JP NZ WYB 4
         LD C,(IY+OA)    -do rejestru C, B, E,
                         D, L prześlij z pamię-
                         ci czas uzyskany
                         przez zawod.nr 3
         LD B,(IY+OB)
         LD E,(IY+OC)
         LD D,(IY+OD)
         LD L,(IY+OE)
         LD A,B
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD C
         LD(2000),A      -do PA setne części
                         sekundy
         LD A,D
         RLCA
         RLCA
         RLCA
         RLCA
         AND FO
         ADD E
         LD(2001),A      -do PB sekundy
         LD A,L
         LD(2002),A      -do PC minuty
         JP SKOŃCZ       -wróć do wyboru za-
```



Rys. 1 Schemat ideowy elektronicznego stopera

```
                      wodnika
WYB 4:  CP 03         -czy wybrano zawod.
                      nr 4
        JP NZ WYB 5
        LD C,(IY+OF)  -do rejestrów C, B, E,
                      D, L prześlij z pamię-
                      ci czas uzyskany
                      przez zawod.nr 4
        LD B,(IY+10)
        LD E,(IY+11)
        LD D,(IY+12)
        LD L,(IY+13)
        LD A,B
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD C
        LD(2000),A    -do PA setne części
                      sek.
        LD A,D
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD E
        LD(2001),A    -do PB sekundy
        LD A,L
        LD(2000),A    -do PC minuty
        JP SKOŃCZ
WYB 5:  CP 04         -czy wybrano zawod-
                      nika nr 5
        JP NZ WYB 6
        LD C,(IY+14)  -do rej. C, B, E, D, L
                      prześlij z pamięci
                      czas uzyskany przez
                      zawod.nr 5
        LD B,(IY+15)
        LD E,(IY+16)
        LD D,(IY+17)
        LD L,(IY+18)
        LD A,B
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD C
        LD(2000),A    -do PA setne części
                      sek.
        LD A,D
        RLCA
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD E
        LD(2001),A    -do PB sekundy
        LD A,L
        LD(2002),A    -do PC minuty
        JP SKOŃCZ
WYB 6:  CP 05         -czy wybrano zawod.
                      nr 6
        JP NZ WYB 7
        LD C,(IY+19)  -do rej. C, B, E, D, L
                      prześlij z pamięci
                      czas uzyskany przez
                      zawodnika nr 6
        LD B,(IY+1A)
        LD E,(IY+1B)
        LD D,(IY+1C)
        LD L,(IY+1D)
        LD A,B
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD C
        LD(2000),A    -do PA setne części
                      sek.
        LD A,D
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD E
        LD(2001),A    -do PB sekundy
        LD A,L
        LD(2002),A    -do PC minuty
        JP SKOŃCZ
WYB 7:  CP 06         -czy wybrano zawod.
                      nr 7
        JP NZ WYB 8
        LD C,(IY+1E)  -do rej. C, B, E, D, L
                      prześlij z pamięci
                      czas uzyskany przez
                      zawodnika nr 7
        LD B.,(IY+1F)
        LD E,(IY+20)
        LD D,(IY+21)
        LD L,(IY+22)
        LD A,B
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD C
        LD(2000),A    -do PA setne części
                      sek.
        LD A,D
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD E
        LD(2001),A    -do PB sekundy
        LD A,L
        LD(2002),A    -do PC minuty
        JP SKOŃCZ
WYB 8:  LD C,(IY+23)  -wybrano zawodnika
                      nr 7; do rej. C, B, E,
                      D, L prześlij z pa-
                      mięci czas przez nie-
                      go uzyskany
        LD B,(IY+24)
        LD E,(IY+25)
        LD D<(IY+26)
        LD L,(IY+27)
        LD A,B
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD C
        LD(200),A     -do PA setne części
                      sek.
        LD A,D
        RLCA
        RLCA
        RLCA
        RLCA
        AND FO
        ADD E
        LD(2001),A    -do PB sekundy
        LD A,L
        LD(2002),A    -do PC minuty
        JP SKOŃCZ
```

mgr inż. Dariusz Bieńkowski

Lampka nocna z automatycznym wyłącznikiem

Ta miniaturowa lampka nocna może być wielce pomocna gdy w ciemności zechcemy np: upewnić się, która jest godzina lub odnaleźć drogę do drzwi.

Podstawowym jej elementem jest dobrze znany układ czasowy CMOS typu 7555. Funkcjonuje on jako układ monostabilny. Stałą czasową T można wyznaczyć z poniższej zależności: T=0.69*R1*C1[s] gdzie: R[Ω], C[F].

Rezystory R2 i R3 są elementami podciągającymi dla wejść: wyzwalającego i zerującego.

Do uruchamiania układu i wyłączania go przed upływem czasu T służą elektrody dotykowe.

Wyjście timera steruje tranzystorem T1 przez rezystor R4. Tranzystor może przełączać prądy o wartości do 250[mA] bez konieczności stosowania radiatora.

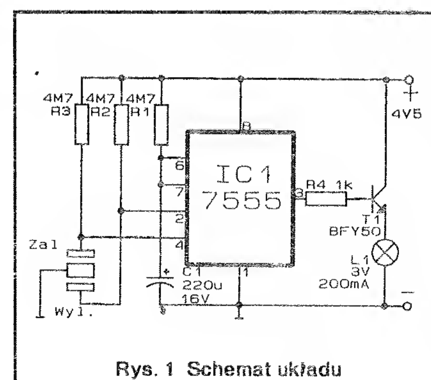
W zależności od potrzeb można stosować żarówki o różnych mocach, ale trzeba mieć na uwadze również ... cenę baterii.

Przy zastosowaniu elementów o wartościach identycznych z podanymi na schemacie przy napięciu zasilania 4.5[V] prąd spoczynkowy wynosi 35[mA].

mgr inż. Witold Wrotek

Opracowano na podstawie:

Elektor Electronics, July/August 1990



Rys. 1 Schemat układu